

Integration von LDMOS-Transistoren für Hochfrequenzanwendungen in eine 0.13 μ m-SiGe:C-BiCMOS-Technologie

Von der Fakultät für Mathematik, Naturwissenschaften und Informatik
der Brandenburgischen Technischen Universität Cottbus

zur Erlangung des akademischen Grades

Doktor der Naturwissenschaften
(Dr. rer. nat.)

genehmigte Dissertation

vorgelegt von

Diplom Physiker

Andreas Mai

geboren am 24.08.1980 in W.-P.-Stadt Guben (jetzt Guben)

Gutachter: Dr. rer. nat. habil. Holger Rücker

Gutachter: Prof. Dr. rer. nat. habil. Jürgen Reif

Gutachter: Prof. Dr. rer. nat. habil. Ignaz Eisele

Tag der mündlichen Prüfung: 21.10.2010

Erklärung

Hiermit versichere ich, dass ich die vorliegende Arbeit selbständig und ohne unerlaubte Hilfsmittel angefertigt habe. Alle verwendeten Quellen habe ich angegeben.

Frankfurt(Oder), Oktober 2010

Inhaltsverzeichnis

1	Einleitung	1
2	Grundlagen	5
2.1	Typen von Hochvolttransistoren in CMOS-Technologien	5
2.2	Grundgleichungen des Ladungsträgertransportes	8
2.3	Gleichstromcharakteristika von LDMOS-Transistoren	9
2.4	Durchbruchverhalten	15
2.4.1	Elektrische Durchbruchmechanismen	15
2.4.2	Das RESURF-Prinzip	18
2.5	Langzeitstabilität von Hochvolttransistoren	19
2.6	Hochfrequenzverhalten von LDMOS-Transistoren	22
2.7	LDMOS als Leistungsverstärker	24
3	Der Integrationsprozess	28
3.1	Der 0.13 μ m-SiGe:C-BiCMOS-Prozess	28
3.2	Die 3.3 V-CMOS-Transistoren	30
3.2.1	Dotierungsprofile	30
3.2.2	Elektrische Charakteristika	31
3.3	Integration von LDMOS-Transistoren in die 0.13 μ m-BiCMOS-Technologie	34
3.3.1	Konstruktion der Sourceseite	36
3.3.2	Einfluss technologischer Parameter	38
4	Drainerweiterung durch Zusatzimplante (LDMOS-I)	42
4.1	Integration der LDMOS-Transistoren	42
4.2	Der NLDMOS-Transistor	42
4.2.1	Gleichstromverhalten der NLDMOS-Transistoren	44
4.2.2	Hochfrequenzverhalten der NLDMOS-Transistoren	47
4.2.3	Langzeitstabilität der NLDMOS-Transistoren	51
4.2.4	Einfluss der BF ₂ -Implantation innerhalb der Driftregion	54
4.3	Der PLDMOS-Transistor	57

4.3.1	Konstruktion der Driftregion zur Erhöhung der Durchbruchspannung	58
4.3.2	Hochfrequenzverhalten der PLDMOS-Transistoren	62
4.3.3	Langzeitstabilität der PLDMOS-Transistoren	62
4.4	Fazit der LDMOS-I-Transistoren	63
5	Drainerweiterung durch Standardimplante (LC-LDMOS)	65
5.1	Integration und Typen der LC-LDMOS-Transistoren	65
5.1.1	Der LC-PLDMOS-Transistor	67
5.1.2	Der LC-NLDMOS-A-Transistor	70
5.1.3	Der LC-NLDMOS-B-Transistor	76
5.1.4	Vergleich von LC-NLDMOS-A und LC-NLDMOS-B	77
5.2	Einfluss der Gatelänge L_G und Driftlänge L_D auf Gleichstromparameter des LC-NLDMOS-B und des LC-PLDMOS-Transistors	79
5.3	Hochfrequenzverhalten	82
5.4	Leistungscharakteristika	84
5.5	Langzeitstabilität der LC-LDMOS-Transistoren	87
5.6	Fazit der LC-LDMOS-Transistoren	92
6	Einordnung der Ergebnisse in den aktuellen Stand der Technik	93
7	Zusammenfassung	97
	Anhang	102
	Literaturverzeichnis	105
	Abkürzungen	109
	Publikationen	110
	Danksagung	111

Abbildungsverzeichnis

2.1	Verschiedene Konzepte für Hochvolttransistoren.	6
2.2	Strom- Spannungscharakteristik eines simulierten NLDMOS- Transistors mit einer Gatelänge von $0.2\mu\text{m}$ und einer Driftlänge von $0.6\mu\text{m}$ bei verschiedenen Gatespannungen ($V_G > V_T$).	12
2.3	Potentialverlauf (a) und laterale elektrische Feldstärke E_p (b) 5 nm unterhalb der Si-Oberfläche entlang der Kanalregion und dem Driftgebiet in Sättigung ($V_G=1.2\text{ V}$, Linien) und in Quasisättigung ($V_G=2.8\text{ V}$, Symbole).	13
2.4	Laterale elektrische Feldstärke E_p (a) und Elektronendichte 5 nm un- terhalb der Si-Oberfläche entlang der Kanalregion und dem Driftge- biet bei verschiedenen Arbeitspunkten in Sättigung ($V_G \leq 1.7\text{ V}$) und Quasisättigung ($V_G > 2.2\text{ V}$).	14
2.5	Simulierte Stoßionisationsrate 5 nm unterhalb der Si-Oberfläche ent- lang dem Kanal und im Driftgebiet bei unterschiedlichen Gatespan- nungen V_G	15
2.6	Bandverlauf an einer npn-Struktur zur Veranschaulichung von Durch- griffen zwischen zwei gleich dotierten Gebieten (Punch-Through). . .	17
2.7	Simulierter Potentialverlauf in einem pn-Übergang aus n-Drain/Drift- und p-Wannengebiet ohne (a) und mit (b) p-Implantation. Das p- Gebiet sorgt für einen Potentialabfall nahe der Oberfläche (c) und reduziert die elektrischen Feldstärke.	18
2.8	Schematische Darstellung der Elektron-Loch-Paar-Generation durch heiße Ladungsträger in einem NMOS-Transistor.	21
2.9	Kleinsignalersatzschaltbild eines LDMOS-Transistors mit den Termi- nalen Gate (G), Source (S), Drain (D) und Substrat (B).	22
2.10	Abhängigkeit der HF-Ausgangsleistung P_{out} von der HF- Eingangsleistung P_{in} eines Verstärkers.	25
2.11	Einordnung der verschiedenen Klassen von Leistungsverstärkern an- hand einer Transferkennlinie.	27
3.1	Schematische Darstellung des $0.13\mu\text{m}$ BiCMOS Prozesses	29

3.2	Dotierungsprofile der Source/Drain- und Wannenimplantationen für den 3.3 V-PMOS (a) und den 3.3 V-NMOS-Transistor (b).	31
3.3	Transfer-(a) und Ausgangskennlinienfeld (b) der 3.3 V-CMOS Transistoren mit Gatllängen von $0.3\mu\text{m}$ (PMOS) bzw. $0.33\mu\text{m}$ (NMOS) und gleicher Gateweite von $10\mu\text{m}$	31
3.4	Sperrkennlinien der 3.3 V-CMOS Transistoren mit Gatllängen von $0.3\mu\text{m}$ (PMOS) bzw. $0.33\mu\text{m}$ (NMOS) und gleicher Gateweite von $10\mu\text{m}$	32
3.5	Sperrkennlinien der vertikalen Drain-Wannen-Diode in den 3.3 V-PMOS und NMOS Transistoren	33
3.6	Drainstrom I_D im eingeschalteten (gefüllte Symbole) und ausgeschalteten Zustand (offene Symbole) des 3.3 V-NMOS in Abhängigkeit der Dosis der Drainanschlusimplantation.	34
3.7	Prinzipieller Aufbau der im IHP entwickelten NLDMOS-Transistoren mit den wichtigsten geometrischen Parametern	35
3.8	Schwellschpannung V_T der 3.3V-CMOS Transistoren für verschiedene Gatelängen	36
3.9	Betrag der elektrischen Feldstärke am pn-Übergang zwischen p-Wanne und n-Driftgebiet für verschiedene Abstände L_{PN} eines NLDMOS-Transistors (a) (bei $V_G=0\text{ V}$, $V_D=15\text{ V}$). Gemessene und für die Bauelementesimulation angenäherte Dotierungsprofile der p-Wannengebiete (b).	38
3.10	Leckstrom I_{DL} , Drainstrom I_{DS} (a) sowie R_{ON} und BV_{DSS} (b) in Abhängigkeit von der Wannenposition L_W für unterschiedliche Geometrien des LC-NLDMOS-A. Die Driftlänge aller untersuchten Transistoren beträgt $L_D = 0.4\mu\text{m}$	39
3.11	Schwellschpannung V_T in Abhängigkeit von L_W und bei unterschiedlichen Geometrien eines NLDMOS-Transistors (a). Transferkennlinien bei $V_D=6\text{ V}$ (b) für Transistoren mit $L_W=-25\text{ nm}$ (schwarz) und $L_W=+50\text{ nm}$ (rot).	40
4.1	Integrationsschema für LDMOS-I-Transistoren in den $0.13\mu\text{m}$ -BiCMOS-Prozess mit zwei zusätzlichen Maskenschritten. Die hervorgehobenen Prozesssequenzen (fett) werden für die Realisierung der LDMOS-I-Transistoren genutzt.	43
4.2	Schematischer Querschnitt des NLDMOS-Transistors. Das Driftgebiet besteht aus einer Folge von drei Implantationen. Das LD1-Gebiet wird durch das Gate implantiert und resultiert in einem gateüberlappten Driftbereich von $L_{OL}=0.1\mu\text{m}$. Ein Viertel der LD2-Dosis gelangt durch eine Schrägimplantation unter das Gate. Die flache BF_2 -Implantation ist selbstjustiert zur drainseitigen Gatekante. . . .	44

4.3	Durchbruchspannung BV_{DSS} (a) und Durchlasswiderstand R_{ON} (b) in Abhängigkeit der Driftlänge L_D und für verschiedene Dosiswerte D_{LD1} der tiefen NLD MOS-Driftimplantation.	44
4.4	Ausgangskennlinien eines NLD MOS-Transistors mit $L_G=0.35\mu\text{m}$ und $L_D=1.4\mu\text{m}$. Die zunehmende Quasisättigung für eine abnehmende LD1-Dosis ist zu erkennen.	45
4.5	Ausgangs- (a) und Sperrkennlinien (b) eines NLD MOS-Transistors mit $L_G=0.35\mu\text{m}$ und $L_G=1.4\mu\text{m}$ für unterschiedliche LD2/BF ₂ -Kombinationen bei konstantem LD1. Die unterschiedlichen Implantationskombinationen zeigen keinen signifikanten Einfluss auf das Stromverhalten.	46
4.6	Ausgangs- (a) und Sperrkennlinien (b) des NLD MOS-Transistors mit $D_{LD1}=6\cdot 10^{12}\text{cm}^{-2}$, $D_{LD2}=5\cdot 10^{12}\text{cm}^{-2}$ und $D_{BF2}=6.2\cdot 10^{12}\text{cm}^{-2}$ für verschiedene L_D bei $L_G = 0.3\mu\text{m}$	47
4.7	Ausgangs- (a) und Sperrkennlinien (b) des NLD MOS-Transistors mit $D_{LD1}=6\cdot 10^{12}\text{cm}^{-2}$, $D_{LD2}=5\cdot 10^{12}\text{cm}^{-2}$ und $D_{BF2}=6.2\cdot 10^{12}\text{cm}^{-2}$ für verschiedene L_G bei $L_D = 0.6\mu\text{m}$	48
4.8	Darstellung der Verstärkungsgrößen h_{21} , G_U und MAG und Prinzip der Extrapolation von f_T und f_{max} . Messung an einem NLD MOS bei $V_G=1.6\text{V}$ und $V_D=6\text{V}$	49
4.9	Transitfrequenz f_T in Abhängigkeit vom Drainstrom für unterschiedliche LD1-Implantationen eines NLD MOS-Transistors mit $L_G=0.5\mu\text{m}$ und $L_D=1.4\mu\text{m}$ (a). Maximale Transitfrequenzen $f_{T,max}$ in Abhängigkeit der Gatelänge bei $L_D=0.8\mu\text{m}$ und unterschiedlichen LD1-Implantationen (b).	49
4.10	Grenzfrequenzen f_T und f_{max} eines NLD MOS -Transistors in Abhängigkeit von I_{DS} und für verschieden Gatelängen bei $L_D=0.6\mu\text{m}$	50
4.11	Berechnetes Verhalten von f_{max} (grau) und gemessenes Verhalten (Punkte) für unterschiedliche Verhältnisse der effektiven Gatelänge L_{eff} und des gateüberlappten Driftbereiches L_{OL}	51
4.12	Relative zeitliche Änderung von R_{ON} (a) und I_{SAT} (b) des NLD MOS-Transistors mit $L_G = 0.3\mu\text{m}$ und $L_D = 0.6\mu\text{m}$ bei verschiedenen Spannungen.	52
4.13	Prinzip der Extrapolation für die maximale Betriebsspannung bei einer zeitlichen Drift des R_{ON} von 10% in 10 Jahren.	53
4.14	Relative Änderung von R_{ON} (a) und I_{SAT} (b) des NLD MOS mit $L_G = 0.3\mu\text{m}$ und $L_D = 0.6\mu\text{m}$ bei verschiedenen Spannungen.	53

4.15	Querschnitte der untersuchten NLD MOS-Varianten. Typ B erhielt zusätzlich zur gestaffelten tiefen Driftimplantation einen nahe der Oberfläche befindliches BF_2 -Gebiet. Um in beiden Typen die gleiche Nettodotierungskonzentration im Driftgebiet zu erhalten, wurde für den Typ B die Dosis der LD2-Implantation erhöht.	54
4.16	Simulierte Dotierungsprofile entlang der Kanalregion (10 nm unterhalb der Si/SiO ₂ -Grenzfläche, Bild (a)) und in die Tiefe unterhalb der Spacerregion (b). Die Positionen der Querschnitte sind Abb. 4.15 zu entnehmen.	54
4.17	Gemessene und simulierte Ausgangskennlinien für den NLD MOS Typ A ohne BF_2 -Gebiet (a) und den Typ B mit einem BF_2 -Gebiet in der Driftregion. Für den Typ B ist die deutliche R_{ON} -Erhöhung und die Quasisättigung zu erkennen.	55
4.18	Simulierte Potentialverteilung in den Driftregionen für Typ A (a) und Typ B (b) bei $V_D = 8\text{V}$ und $V_G = 1.8\text{V}$. Durch den zusätzlichen vertikalen pn-Übergang zwischen BF_2 -Region und Driftgebiet ist beim Typ B stärkeren Potentialabfall nahe der Oberfläche zu erkennen. . .	56
4.19	Simulierte Stromdichte für Typ A (a) und Typ B (b) bei $V_D = 8\text{V}$ und $V_G = 1.8\text{V}$. Typ B zeigt einen in die Tiefe verlagerten Strompfad. Die Stromdichte nahe der Oberfläche und an der drainseitigen Gatekante reduziert sich.	57
4.20	Extrapolierte Lebensdauer als Funktion der inversen Betriebsspannung. Für eine Änderung des R_{ON} von 10%.	58
4.21	Transitfrequenz f_T als Funktion vom Drainstrom I_{DS} beider Transistortypen vor und nach 10h Stress bei $V_D=10\text{V}$	58
4.22	Schematischer Querschnitt des PLDMOS-A-Transistors.	59
4.23	Durchbruchspannung (a) und R_{ON} (b) des PLDMOS-A in Abhängigkeit von der Implantationsdosis der tiefen n-Isolierung und bei verschiedenen Dosiswerten des Driftgebietes	60
4.24	Schematischer Querschnitt des PLDMOS-B. Dieses Design verhindert Konzentrationsmaxima im Kanalbereich des Transistors (Vergleich mit Abb. 4.22)	60
4.25	Durchbruchspannung BV_{DSS} und Durchlasswiderstand R_{ON} in Abhängigkeit von L_D (a) sowie von L_G (b) für den PLDMOS-B-Transistor	61
4.26	Grenzfrequenzen f_T und f_{max} der PLDMOS -Transistoren in Abhängigkeit vom Drainstrom.	62
4.27	Relative zeitliche R_{ON} -Änderung für verschiedene Drainspannungen eines PLDMOS-B-Transistors mit $L_G=0.25\mu\text{m}$ und $L_D=0.6\mu\text{m}$ (a) sowie $L_G=0.3\mu\text{m}$ und $L_D=0.8\mu\text{m}$	63

5.1	Abschattungseffekte bei der Implantation des Driftgebietes in der Draufsicht (a) und im Querschnitt (b). Die römischen Ziffern I-IV beschreiben die je mit $1/4 D_d$ realisierten Implantationen.	66
5.2	Querschnitt des LC-PLDMOS-Transistors mit p-LDD-Implantation als Driftregion	68
5.3	Sperrkennlinien des LC-PLDMOS-Transistor mit verschiedenen p-LDD-Varianten ($L_G = 0.35\mu m$ und $L_D = 0.65\mu m$)	69
5.4	Ausgangskennlinien des LC-PLDMOS mit $L_G=0.25\mu m$ und $L_D=0.6\mu m$ für verschiedene, unter 20° -implantierte p-LDD-Varianten.	70
5.5	Querschnitt des LC-NLDMOS-A-Transistors	71
5.6	Sperrkennlinien in Abhängigkeit der n-LDD-Dosis für einen LC-NLDMOS-A-Transistor mit $L_G=0.35\mu m$ und $L_D=0.6\mu m$	71
5.7	Sperrkennlinien (a) und Ausgangscharakteristika (b) für zwei LC-NLDMOS-A-Transistoren mit winkelabhängigen Kompensationsimplanten.	72
5.8	Durchbruchspannung BV_{DSS} und Durchlasswiderstand R_{ON} in Abhängigkeit der Driftlänge (NLDMOS-A)	73
5.9	Sperrkennlinien der LC-NLDMOS-A-Transistoren bei verschiedener n-LDD-Dosis und unterschiedlicher Geometrien mit $L_G=0.2\mu m$; $L_D=0.4\mu m$ (a) und $L_G=0.35\mu m$; $L_D=0.5\mu m$ (b).	74
5.10	Ausgangskennlinien für LC-NLDMOS-A-Transistoren mit $L_G=0.2\mu m$ und $L_D=0.4\mu m$ (a) sowie $L_G=0.35\mu m$ und $L_D=0.5\mu m$ (b). Eine abnehmende n-LDD-Dosis begünstigt die Quasisättigung. Dieser Effekt wird bei kürzeren Gatelängen noch verstärkt.	75
5.11	Schematischer Querschnitt eines zum Drain symmetrischen LC-NLDMOS „Typ B“ mit partiell kompensierter Driftregion.	76
5.12	R_{ON} und BV_{DSS} des LC-NLDMOS-B für verschiedene p-LDD-Implante	77
5.13	Vergleich der Ausgangs- (a) und Sperrkennlinien (b) der LC-NLDMOS-A und LC-NLDMOS-B-Transistoren.	78
5.14	Für die Bauelementesimulation angenäherte (simulierte) und gemessene Dotierungsprofile der LDD-Implantationen für die LC-LDMOS-Transistoren	78
5.15	Simulierte Potentialverteilung im LC-NLDMOS-A (a) und LC-NLDMOS-B (b) bei $V_G = 0V$ und $V_D = 15V$	79
5.16	Leckstrom I_{DL} und Drainstrom I_{DS} (a) sowie R_{ON} und BV_{DSS} (b) in Abhängigkeit von der Driftlänge L_D und bei verschiedenen Gate-längen des LC-NLDMOS-B.	80

5.17	Durchbruchspannung und Durchlasswiderstand in Abhängigkeit der Gatelänge für einen LC-NLDMOS-B-Transistor bei einer Driftlänge von $0.4\ \mu\text{m}$	80
5.18	Schwellspannung V_T in Abhängigkeit der Driftlänge und bei verschiedenen Gatelängen der LC-NLDMOS-B (a) und LC-PLDMOS (b) Transistoren.	81
5.19	Leckstrom I_{DL} und Drainstrom I_{DS} (a) sowie R_{ON} und BV_{DSS} (b) in Abhängigkeit der Driftlänge und bei verschiedenen Gate- und Driftlängen des LC-PLDMOS-Transistors.	81
5.20	Transitfrequenz f_T in Abhängigkeit vom Drainstrom für unterschiedlich dimensionierte LC-NLDMOS-B (a) und LC-PLDMOS (b) mit einer Weite von $W=200\ \mu\text{m}$	82
5.21	Verhalten von h_{21} und MAG bei unterschiedlich dimensionierten LC-NLDMOS-B (a) und LC-PLDMOS (b).	83
5.22	Transitfrequenz f_T in Abhängigkeit vom Drainstrom für unterschiedliche Driftlängen L_D eines LC-NLDMOS-B mit einer Weite von $W=100\ \mu\text{m}$ und einer n-LDD-Dosis von $1.2 \cdot 10^{13}\ \text{cm}^{-2}$ und p-LDD-Dosis von $9 \cdot 10^{12}\ \text{cm}^{-2}$	83
5.23	Verteilung von $f_{T,max}$ (a) und $f_{MAX,max}$ (b) bei der Messung über einen Wafer. Die Frequenzen wurden extrapoliert aus h_{21} bzw. MAG.	84
5.24	Load-Pull Leistungsmessung an LC-NLDMOS-B-Transistoren mit $L_G=0.35\ \mu\text{m}$ und $L_D=0.5\ \mu\text{m}$ (a) und $L_G=0.2\ \mu\text{m}$ und $L_D=0.4\ \mu\text{m}$ (b) bei einer Frequenz von 6 GHz.	85
5.25	Load-Pull Leistungsmessung an LC-NLDMOS-B-Transistoren mit $L_G=0.35\ \mu\text{m}$ und $L_D=0.5\ \mu\text{m}$ (a) und $L_G=0.2\ \mu\text{m}$ und $L_D=0.4\ \mu\text{m}$ (b) bei einer Frequenz von 11 GHz.	86
5.26	Simulierte Stromdichte (a) und Stoßionisationsrate (b) eines LC-NLDMOS mit $L_G=0.2\ \mu\text{m}$ und $L_D=0.4\ \mu\text{m}$ bei $V_G=1.7\ \text{V}$ und $V_D=8\ \text{V}$. Die implantierte Dosis im Driftgebiet beträgt $D_{n-LDD}=1.4 \cdot 10^{13}\ \text{cm}^{-2}$ und $D_{p-LDD}=9 \cdot 10^{12}\ \text{cm}^{-2}$	87
5.27	Relative zeitliche Änderung vom Durchlasswiderstand von LC-NLDMOS-B-Transistoren mit $L_G = 0.2\ \mu\text{m}$ und $L_D = 0.4\ \mu\text{m}$ bei unterschiedlichen Dotierungen und $V_D=6\ \text{V}$ (a). Extrapolation der maximalen Betriebsspannung $V_{DD,max}$ dieser LC-NLDMOS-B-Transistoren (b).	88
5.28	Relative zeitliche Änderung vom Durchlasswiderstand von LC-NLDMOS-B-Transistoren mit $L_G = 0.2\ \mu\text{m}$ und unterschiedlichen Driftlängen ($L_D = 0.4\ \mu\text{m}, L_D = 1.2\ \mu\text{m}$) (a) sowie eines Transistors mit $L_G = 0.5\ \mu\text{m}$ und $L_D = 1.2\ \mu\text{m}$ (b) bei unterschiedlichen Drainspannungen.	89

5.29	Relative zeitliche Änderung vom Durchlasswiderstand eines LC-PLDMOS-Transistors mit $L_G = 0.2\mu m$ und $L_D = 0.4\mu m$ (a) sowie $L_G = 0.35\mu m$ und $L_D = 0.5\mu m$ (a) bei unterschiedlichen Drainspannungen.	90
6.1	Durchbruchspannung BV_{DSS} und Durchlasswiderstände für publizierte und in dieser Arbeit präsentierte NLDMOS-Transistoren. Offene Symbole: LDMOS-Transistoren, die nur Maskenschritte und Implantationen des Basis-CMOS-Prozesses nutzen. Gefüllte Symbole: LDMOS-Transistoren, die unter Nutzung zusätzlicher Maskenschritte und Implantationen hergestellt wurden.	93
6.2	Vergleich von BV_{DSS} über maximalen f_T -Werten von publizierten HF-NLDMOS-Transistoren und in dieser Arbeit präsentierten Transistoren. Als Bewertungskriterium dient das Produkt aus $BV_{DSS} \cdot f_{T,max}$. Offene Symbole: LDMOS-Transistoren, die nur Maskenschritte und Implantationen des Basis-CMOS-Prozesses nutzen. Gefüllte Symbole: LDMOS-Transistoren, die unter Nutzung zusätzlicher Maskenschritte und Implantationen hergestellt wurden.	94
6.3	Vergleich von maximalen f_T -Werten über der maximalen Betriebsspannung von publizierten HF-NLDMOS Transistoren mit den Ergebnissen dieser Arbeit.	95
7.1	Kleinsignalersatzschaltbild	99

Tabellenverzeichnis

4.1	Gleichstrom- und Hochfrequenzparameter der komplementären LDMOS-I-Transistoren	64
5.1	p-LDD Variationen und dazugehörige Parameter des 3.3 V-PMOS .	68
5.2	Durchlasswiderstand R_{ON} mit Standardabweichung σ für unterschiedliche n-LDD-Dosiswerte und verschiedenen Gatelängen L_G des LC-NLDMOS „Typ A“. R_{ON} wurde bei $V_D=0.1$ V und $V_G=3.3$ V bestimmt.	75
5.3	Hochfrequenzparameter f_T und f_{max} der LC-LDMOS-Transistoren .	84
5.4	Ergebnisse der Load-Pull-Messungen für die LC-NLDMOS Transistoren und der Vergleich zu bisher publizierten Ergebnissen.	86
5.5	Gleichstrom- und Hochfrequenzparameter der LC-LDMOS-Transistoren mit unterschiedlichen Gate- und Driftlängen. Die maximale Betriebsspannung bezieht sich auf eine R_{ON} -Änderung von 10% in 10 Jahren.	92
6.1	Vergleich von publizierten RF-PLDMOS-Transistoren mit Ergebnissen aus dieser Arbeit	95

Kapitel 1

Einleitung

Die vorliegende Arbeit befaßt sich mit der Entwicklung von MOS-Transistoren mit lateral erweitertem Drainanschluss (LDMOS) und deren Integration in die $0.13\mu\text{m}$ SiGe:C-BiCMOS-Technologie des Leibniz-Instituts für innovative Mikroelektronik (IHP Frankfurt (Oder)). Am IHP wurde in den Jahren 2005 bis 2010 eine $0.13\mu\text{m}$ -SiGe:C-BiCMOS-Technologie für hochintegrierte Schaltungen und deren Anwendungen im Millimeterwellenbereich entwickelt. In dieser Technologie stehen neben SiGe-Heterobipolartransistoren (HBT) auch komplementäre MOS Feldeffekttransistoren (MOSFET) für Betriebsspannungen von 1.2 V und 3.3 V sowie passive Bauelemente, wie z.B. integrierte Kondensatoren, Widerstände und Spulen, zur Verfügung. Kernstück der Technologie ist der SiGe-HBT, welcher in zwei Ausführungen angeboten wird. Der Hochgeschwindigkeits-HBT erreicht Grenzfrequenzen von $f_T=240\text{ GHz}$ und $f_{max}=330\text{ GHz}$ bei einer Kollektor-Emitter-Durchbruchspannung von $BV_{CEO}=1.7\text{ V}$, während der Hochvolt-HBT Werte von $f_T=40\text{ GHz}$ und $f_{max}=120\text{ GHz}$ bei $BV_{CEO}=4.5\text{ V}$ zeigt [1]. Die $0.13\mu\text{m}$ -BiCMOS-Technologie verbindet so die Vorteile eines skalierten CMOS-Prozesses, z.B. für Digitalschaltungen mit hohen Rechenleistungen, mit den sehr guten Hochfrequenzeigenschaften der HBTs. Damit ermöglicht sie neuartige Anwendungen im Millimeterwellenbereich, wie z.B. in optischen Netzwerken mit Übertragungsraten über 100 Gb/s oder in drahtlosen Kommunikationssystemen. Wesentliche Elemente der Technologie wurden in [1–3] dargestellt.

Die zusätzliche Integration von Hochvolt-MOSFETs, mit der sich diese Arbeit befasst, ermöglicht eine erweiterte Funktionalität der mittels der BiCMOS-Technologie herstellbaren Schaltkreise. Potentielle Anwendungsfelder sind:

- Ansteuerschaltungen für nichtflüchtige Speicher,
- Treiberschaltungen für lichtemittierende Dioden (LED) oder Laser,
- Spannungskonverter und linearer Spannungsregler und
- Leistungsverstärker.

Die Anforderungen an die integrierten Hochvoltbauelemente können je nach Anwendung sehr unterschiedlich sein. Für die Realisierung von Speichern kommt es vor allem auf die Spannungsfestigkeit der Transistoren an, während für die Herstellung von Leistungsverstärkern auch gute Hochfrequenzeigenschaften notwendig sind.

Si-CMOS Technologien dominieren den Markt für integrierte Schaltkreise. In speziellen Marktsegmenten, wie z.B. der Realisierung von Sendern und Empfängern für Mobilfunkanwendungen, spielen sie dagegen, ähnlich wie Si-Bipolartechnologien, nur eine untergeordnete Rolle. Hier werden die Leistungsverstärker vor allem durch Bauelemente auf Basis von III-V Halbleitern, wie GaAs, dominiert [4, 5].

In den letzten Jahren gibt es verstärkt Anstrengungen, Transistoren auf Si-Basis zu realisieren, die etablierte III-V-Komponenten als Leistungsverstärker ersetzen können. Dies würde eine Integration aller Komponenten der Mobilfunkanwendungen (Sender, Empfänger, Modulatoren etc.) auf einem Chip ermöglichen. Solche LDMOS-Transistoren sollten Durchbruchspannungen über 15 V und hohe Grenzfrequenzen ($f_T > 20$ GHz) aufweisen, sowie einen stabilen Betrieb bei Spannungen oberhalb von 5 V erlauben [6–15].

Die Herstellung von Hochvolttransistoren in etablierten BiCMOS- oder CMOS-Umgebungen verlangt meist zusätzlichen Prozessaufwand zu den Standardabläufen. In einigen Technologien ist es jedoch möglich, mit Hilfe vorhandener Prozessmodule, wie z.B. der Verwendung der CMOS-Wannen, Hochvolttransistoren ohne jeglichen Zusatzaufwand herzustellen [16]. Allerdings sind die Eigenschaften dieser “Low-Cost“-Bauelemente stark an die vorhandene Prozessumgebung gebunden und eine Optimierung ist nur eingeschränkt möglich.

Im ersten Teil dieser Arbeit wird ein Integrationskonzept entwickelt, welches die Herstellung komplementärer LDMOS-Transistoren erlaubt, d.h. LDMOS-Transistoren mit n-Kanal (NLDMOS) als auch p-Kanal (PLDMOS), und einen zusätzlichen Maskenschritt pro Transistortyp im Vergleich zum Basisprozess erfordert. Dabei wird speziell die Driftregion des NLDMOS-Transistors und insbesondere der Einfluss eines innerhalb der n-Driftregion realisierten p-Gebietes untersucht. Dies ermöglicht die Herstellung von NLDMOS-Transistoren mit Arbeitsspannungen von $V_{DD,max} \approx 11$ V bei Durchlasswiderständen von $R_{ON} = 3.8 \Omega \text{mm}$ und hohen Grenzfrequenzen über 23 GHz.

Im zweiten Teil dieser Arbeit wird ein neuartiges Prinzip zur Realisierung von Hochvolttransistoren ohne zusätzlichen Prozessaufwand vorgestellt. Dabei wird die schwach dotierte Driftregion durch eine spezielle Kombination von Implantationen des Basis-CMOS-Prozesses hergestellt. Das vorgestellte Konzept wird so optimiert, dass es auch die Realisierung von komplementären Hochvolttransistoren erlaubt. Dabei werden durch Variationen der Gatelänge L_G und Driftlänge L_D Transistoren für unterschiedliche Anwendungen realisiert. So zeigen minimale NLDMOS-Transistoren mit $L_G = 0.2 \mu\text{m}$ und $L_D = 0.4 \mu\text{m}$ Durchbruchspannungen über 17 V,

Durchlasswiderstände von $3.1\,\Omega\text{mm}$ und Transistfrequenzen von $f_T=36\,\text{GHz}$. Die maximale Betriebsspannung ($V_{DD,max}$) dieser *Low-Cost* (LC)-LDMOS-Transistoren wird maßgeblich durch das Langzeitverhalten wichtiger Parameter, wie des Durchlasswiderstandes R_{ON} und des Sättigungsstromes I_{SAT} , bestimmt. Typischerweise reduzieren Gate- und Driftlängenverkürzungen, die günstig für das Erreichen hoher Grenzfrequenzen sind, die maximale Betriebsspannung. Die entwickelten LC-NLDMOS-Transistoren erreichen in Abhängigkeit der Gatelänge L_G und Driftlänge L_D maximale Betriebsspannungen zwischen 4 V für Transistoren mit $L_G=0.2\,\mu\text{m}$, $L_D=0.4\,\mu\text{m}$) und 10 V für Transistoren mit $L_G=0.5\,\mu\text{m}$, $L_D=1.2\,\mu\text{m}$ (zur Gewährleistung von weniger als 10% R_{ON} -Degradation in 10 Jahren Betriebszeit).

Die in dieser Arbeit vorgestellten Bauelemente erweitern die Funktionalität der $0.13\,\mu\text{m}$ SiGe:C-BiCMOS Technologie des IHP und ermöglichen neue Anwendungsfelder bei minimalem technologischem Mehraufwand.

Die Arbeit gliedert sich wie folgt:

Im zweiten Kapitel werden Konzepte für die Realisierung von Hochvolttransistoren in heutige CMOS-Technologien dargestellt und ihre wesentlichen Kenngrößen beschrieben. Anschließend werden physikalischen Zusammenhänge diskutiert, welche die Hochvolteigenschaften im LDMOS bestimmen. Auf Basis der Drift-Diffusionsgleichungen für Elektronen und Löcher werden die Quasisättigung, das Alterungsverhalten und die Hochfrequenzeigenschaften der LDMOS-Transistoren untersucht. Abschließend wird ein Überblick der verschiedenen Typen von Leistungsverstärkern gegeben, in denen die Transistoren häufig Anwendung finden.

Das dritte Kapitel beschreibt die $0.13\,\mu\text{m}$ -SiGe:C-BiCMOS-Technologie des IHP. Dabei wird detailliert auf die Funktionsweise der 3.3 V-CMOS Transistoren eingegangen, da sie eine Grundlage für die Realisierung der LDMOS-Transistoren sind. Es wird speziell gezeigt, welche Effekte die maximale Betriebsspannung der Basis-CMOS-Transistoren begrenzen.

Das vierte Kapitel befasst sich mit der Integration und Charakterisierung von LDMOS-Transistoren, die im Folgenden als LDMOS-I bezeichnet werden. Das beschriebene Integrationskonzept erlaubt die Herstellung von komplementären Transistoren bei nur einem zusätzlichen Maskenschritt pro Transistortyp. Für NLDMOS-Transistoren wird insbesondere der Einfluss eines innerhalb der n-Driftregion realisierten p-Gebietes untersucht. Dieses p-Gebiet verbessert signifikant die Langzeitstabilität der Transistoren ohne die Durchlasswiderstände deutlich zu erhöhen. Die Optimierung der Driftregionen ermöglicht so NLDMOS-Transistoren mit einer maximalen Betriebsspannung von 11 V bei Durchlasswiderständen von $3.8\,\Omega\text{mm}$ und Grenzfrequenzen über 23 GHz. Die Untersuchungen bezüglich des PLDMOS-I-Transistors zielen auf eine Erhöhung der Durchbruchspannungen ab.

Kapitel 5 befasst sich mit der Integration und Charakterisierung der LC-LDMOS-Transistoren, deren Drainerweiterung nur durch Standardimplante des Basis-CMOS-Prozesses realisiert wird. Dabei wird auf Layoutvarianten eingegangen, die den besten Kompromiss zwischen Durchbruchspannung BV_{DSS} und Durchlasswiderstand R_{ON} ermöglichen. Zudem werden geometrischen Abhängigkeiten der Bauelementeparameter z.B. von der Gatelänge L_G und der Driftlänge L_D untersucht. Die Leistungsfähigkeit der Transistoren wird durch Load-Pull-Messungen bei verschiedenen Frequenzen (6 GHz und 11 GHz) untersucht. Abschließend werden Stabilitätsuntersuchungen unter Hochspannungsstress für verschiedene Geometrien der LC-LDMOS-Transistoren diskutiert.

Die Ergebnisse dieser Arbeit werden in Kapitel 6 mit dem aktuellen Stand der Technik verglichen und in Kapitel 7 zusammengefasst.

Kapitel 2

Grundlagen

Im ersten Teil dieses Kapitels werden verschiedene Typen von Hochvolttransistoren, die in heutigen CMOS-Technologien Verwendung finden, aufgezeigt und deren Integrationskonzepte dargestellt. Anschließend werden wesentliche physikalische Zusammenhänge diskutiert, die bei der Optimierung der Bauelemente beachtet werden müssen. Dabei werden Effekte im Halbleiter beschrieben, die das elektrische Verhalten bestimmen sowie die Degradation von Transistorparametern verursachen. Zudem werden die Gleichspannungs- und Hochfrequenzcharakteristika der Bauelemente betrachtet.

2.1 Typen von Hochvolttransistoren in CMOS-Technologien

Hochvolttransistoren in CMOS- bzw. BiCMOS-Technologien werden beispielsweise für das Leistungsmanagement auf dem Chip genutzt. In vielen skalierten CMOS-Technologien stehen neben den minimalen Gateoxiddicken ($t_{OX} < 2.5 \text{ nm}$) üblicher Weise auch dickere Gateoxide zur Verfügung ($t_{OX} > 5 \text{ nm}$), um Transistoren zu realisieren, die Ein- und Ausgangssignale bei höheren Spannungen verarbeiten können. Im Fall der $0.13 \mu\text{m}$ -BiCMOS-Technologie des IHP sind das 2 nm und 7 nm dicke Gateoxide.

Andere Konzepte für Hochvolttransistoren zielen darauf ab, höhere Arbeitsspannungen zu ermöglichen ohne die Gateoxiddicke weiter zu erhöhen [7, 17]. Abbildung 2.1 zeigt ausgewählte Beispiele solcher Transistoren. Dabei ist all diesen Konzepten gemein, dass auf unterschiedliche Weise ein schwach dotiertes Driftgebiet zwischen Drain und Inversionskanal realisiert wurde, welches bei hohen Drainspannungen verarmt wird. Dadurch wird das Drainpotential zum Gate hin abgebaut und die resultierenden elektrischen Felder reduzieren sich. Der Transistor kann so auch bei höheren Drainspannungen operieren.

Die üblichen Batteriespannungen (V_{Bat}) in mobilen Anwendungen variieren von 2.5 bis 5 V und können von den Basis-CMOS-Elementen oder von Transistoren mit erweitertem Drainanschluß (EDMOS Abb. 2.1(a)) verarbeitet werden. Hohe elektrische Feldstärken an der drainseitigen Gatekante und die dadurch bedingte Emp-

findlichkeit der Transistoren gegenüber der Injektion heißer Ladungsträger sowie elektrische Durchbrüche von vertikalen pn-Übergängen (Drain/Wanne) können jedoch die Arbeitsspannung in diesen Transistoren begrenzen. Ein Transistortyp der höhere Arbeitsspannungen ermöglicht, ist der in Abb. 2.1(b) dargestellte DriftMOS.

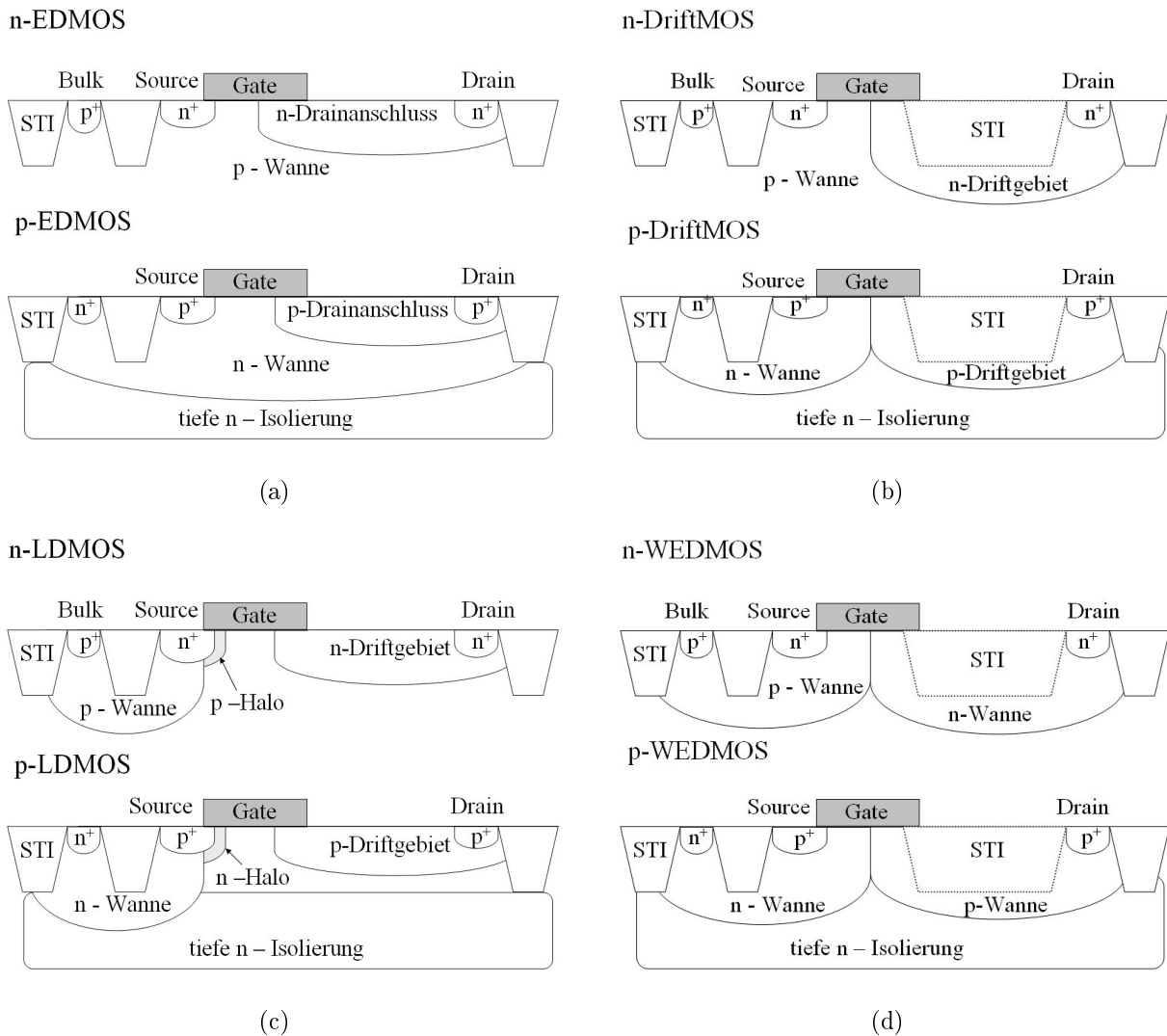


Abb. 2.1: Verschiedene Konzepte für Hochvolttransistoren.

Hier wird durch die Verwendung eines Feldoxides (bzw. oxidverfüllter flacher Gräben - STI) und einer speziellen Implantation des Driftgebietes das Gate vor den hohen Spannungen am Drain geschützt. Die Kanallänge dieser Transistoren wird durch die laterale Diffusion der Wannengebiete unterhalb des Gates bestimmt. In heutigen CMOS-Technologien gibt es jedoch auch eine andere Möglichkeit zur Realisierung der Kanaldotierung. Die verbesserte Genauigkeit in der Justage der Implantationsmasken erlaubt eine definierte Wannenenimplantation unterhalb des Gates oder die Realisierung von speziellen Haloimplantationen nach der Gatestrukturierung (Abb. 2.1(c)). Der sogenannte Halo ist ein durch Schrägimplantation realisiertes, halbrundes Dotierungsgebiet, welches in skalierten CMOS-Technologien zur Iso-

lierung der hochdotierten Source-Drain-Gebiete dient und Kurzkanaleffekte unterbindet. Beim LDMOS-Transistor können so minimale Kanallängen erzeugt werden, was sich positiv auf das Gleichstrom- und Hochfrequenzverhalten auswirkt. Durch die zur Sourceseite hin zurückgezogenen Wanne reduzieren sich zudem die lateralen elektrischen Felder an der drainseitigen Gatekante. Das erhöht die Durchbruchspannung und verbessert die Stabilität der Transistoren bezüglich der Injektion heißer Ladungsträger.

Die hier dargestellten Konzepte beziehen sich auf eine Integration der Transistoren in ein p-dotiertes Substratmaterial. Die Leistungsfähigkeit der einzelnen Hochvolt-MOS-Transistoren ist dabei sehr verschieden und ihre Integration in einen CMOS-Prozess verlangt unterschiedlichen Aufwand. Der MOS-Transistor mit erweitertem Drainanschluß (EDMOS, Abb. 2.1(a)) kann schon durch einen zusätzlichen Maskenschritt und eine Implantation hergestellt bzw. durch die schwach dotierten Drainanschlüsse (lightly doped drain - LDD) der MOS-Transistoren erzeugt werden. Für den DriftMOS sind mehrere Implantationen notwendig und der LDMOS verlangt neben der Realisierung des Driftgebietes auch weitere Maskenschritte, um die speziellen Wannen- und Haloimplantationen zu erzeugen.

In einigen Technologien besteht neben den hier vorgestellten Konzepten auch die Möglichkeit, Hochvolttransistoren ohne zusätzlichen Prozessaufwand zu realisieren. Dabei werden die Wannenimplante des Basis-CMOS-Prozesses als erweiterter Drainanschluss genutzt (WEDMOS, Abb. 2.1(d)) [16]. Die Herstellung solcher Bauelemente ist jedoch nicht in jeder Technologie möglich, da die Wannen entsprechend gering dotiert sein müssen, um sie auch als Driftgebiet zu nutzen.

Betrachtet man die Anwendungen der Hochvolttransistoren, müssen zwei wesentliche Unterscheidungen getroffen werden. Arbeiten die Bauelemente als Schalter, wie z.B. in Spannungskonvertern oder Treiberschaltungen für LED [17], sollten sie einen möglichst kleinen Durchlasswiderstand R_{ON} bei minimaler Transistorfläche A_T und gleichzeitig eine hohe Durchbruchspannung BV_{DSS} besitzen. Werden die Bauelemente für analoge Anwendungen genutzt, wie z.B. in Leistungsverstärkern oder in linearen Spannungsreglern, müssen sie eine geringe zeitliche Drift der Transistorparameter unter Hochvoltbedingungen aufweisen. Speziell für die Realisierung von Leistungsverstärkern sind weiterhin gute Hochfrequenzeigenschaften, d.h. hohe Grenzfrequenzen f_T und f_{max} , notwendig.

Wie erwähnt, kommt es durch die hohen elektrischen Felder in den lateralen MOS-Elementen zur Erzeugung von heißen Ladungsträgern und deren Injektion in die Si/SiO₂-Grenzflächen. Diese führen zur Degradation von Transistorparametern, wie R_{ON} und I_{SAT} , was die maximale Betriebsspannung $V_{DD,max}$ für analoge Anwendungen begrenzt. In der Regel ist $V_{DD,max} < 0.5 \cdot BV_{DSS}$ [17–19]. Je nach Anwendung ist eine Optimierung der relevanten Kenngrößen ($V_{DD,max}$, $R_{ON} \cdot A_T$, BV_{DSS} , f_T ,

f_{max}) eine der wesentlichen Herausforderungen bei der Realisierung von Hochvolttransistoren.

2.2 Grundgleichungen des Ladungsträgertransportes

Der Ladungsträgertransport wird in dieser Arbeit im Rahmen des Drift-Diffusionsmodells beschrieben [20–22]. Grundlage dieses Modells bilden die Poisson-Gleichung sowie die Kontinuitätsgleichungen für Elektronen und Löcher im Halbleiter:

$$\Delta\Psi = -\nabla E = -\frac{\rho(\vec{r})}{\epsilon} \quad (2.1)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q}\nabla\vec{J}_n - R_n + G_n \quad (2.2)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q}\nabla\vec{J}_p - R_p + G_p. \quad (2.3)$$

Hierbei ist ϵ die Dielektrizitätskonstante des Halbleiters, q die Elementarladung, \vec{J}_n und \vec{J}_p die Vektoren der Elektronen- bzw. Löcherstromdichte sowie R_n (R_p) und G_n (G_p) die Rekombinations- bzw. Generationsraten von Elektronen und Löchern. Das elektrostatische Potential Ψ sowie die Ladungsträgerdichte ρ sind Funktionen der Zeit und des Ortes. Dabei kann die Ladungsträgerdichte als Summe der festen und beweglichen Ladungsträger im Halbleiter durch

$$\rho = q(p - n + N_D^+ - N_A^-) \quad (2.4)$$

beschrieben werden, wobei N_D^+ und N_A^- die Konzentrationen der ionisierten Donatoren bzw. Akzeptoren sind sowie n und p die Konzentrationen der beweglichen Elektronen und Löcher. Die Stromdichten als Summe aus Drift- und Diffusionsanteil können durch die Gradienten der elektrochemischen Potentiale (Quasi-Fermi-Potentiale) von Elektronen und Löchern durch

$$\vec{J}_n = -qn\mu_n\nabla\phi_n \quad (2.5)$$

$$\vec{J}_p = -qp\mu_p\nabla\phi_p \quad (2.6)$$

bestimmt werden. Dabei sind μ_n und μ_p die Elektronen- bzw. Löcherbeweglichkeit. Die Quasi-Fermi-Potentiale sind definiert als

$$\phi_n = \Psi - \frac{kT}{q}\ln\left(\frac{n}{n_i}\right) \quad (2.7)$$

und

$$\phi_p = \Psi + \frac{kT}{q}\ln\left(\frac{p}{n_i}\right), \quad (2.8)$$

mit der Boltzmannkonstante k und der Temperatur T . Die intrinsische Ladungsträgerdichte n_i kann unter Kenntnis der Zustandsdichten (N_C , N_V) im Leitungs- bzw. Valenzband und der Bandlücke des Halbleiters E_G gemäß

$$n_i = \sqrt{N_C N_V} \cdot e^{-\frac{E_G}{2kT}} \quad (2.9)$$

berechnet werden. Durch die Gleichungen (2.5) bis (2.8) wird das Gleichungssystem (2.1) bis (2.3) komplettiert. Die vollständige mathematische Beschreibung verlangt zudem noch die Definition von Randbedingungen und im instationären Fall noch die Festlegung zusätzlicher Anfangsbedingungen. Im Laufe dieser Arbeit wurde der kommerzielle Bauelementesimulator DESSIS der Firma ISE zum Lösen der Transportgleichungen in den komplexen Halbleiterstrukturen genutzt.

Durch Vereinfachungen, wie z.B. der Annahme, dass die sich ausbildende Raumladungszone (RLZ) eines pn-Übergangs an freien Ladungsträger vollständig verarmt (Verarmungsnäherung), können oft analytische Lösungen des Gleichungssystems (2.1)-(2.3) berechnet werden. Diese analytischen Lösungen sind die Grundlage für die Beschreibung der Gleichstromcharakteristika eines idealisierten MOS-Transistors durch einfache algebraische Gleichungen.

2.3 Gleichstromcharakteristika von LDMOS-Transistoren

Um das elektrische Verhalten der LDMOS-Transistoren zu diskutieren, sollen zunächst die Gleichungen betrachtet werden, die die verschiedenen Arbeitsbereiche eines idealisierten MOS-Transistors beschreiben. Der Drainstrom I_{DS} eines MOS-Transistors kann unter bestimmten Näherungen, wie der Annahme, dass sich die Inversionsladung unter Vernachlässigung einer Tiefenausdehnung unterhalb des Gateoxides ausbildet, durch

$$I_{DS} = \mu C_{ox} \frac{W}{L_G} \left[\left(V_G - V_{fb} - 2\Psi_B - \frac{V_{DS}}{2} \right) V_{DS} - \frac{2\sqrt{2\epsilon_{Si}qN_a}}{3C_{ox}} [(2\Psi_B + V_{DS})^{3/2} - (2\Psi_B)^{3/2}] \right] \quad (2.10)$$

beschrieben werden [21]. Hierbei ist μ die Beweglichkeit der Ladungsträger, W die Breite des Transistors, L_G die Gatelänge, C_{ox} die Gateoxid-Kapazität sowie V_G und V_D die Gate- bzw. Drainspannung. Ψ_B ist definiert als die Differenz aus dem Fermipotential des dotierten Halbleiters Ψ_f und dem intrinsischen Potential Ψ_i und ist durch

$$\Psi_B \equiv |\Psi_f - \Psi_i| = \frac{kT}{q} \ln \left(\frac{N_B}{n_i} \right), \quad (2.11)$$

mit der Donator- bzw. Akzeptorkonzentration N_B , bestimmt. Eine Taylorentwicklung der Gleichung (2.10) für kleine V_{DS} und die Betrachtung der Terme erster Ordnung liefert für den Drainstrom in der linearen Region

$$I_{DS} = \frac{W}{L_G} \mu C_{Ox} (V_G - V_T) V_{DS} \quad (2.12)$$

mit der Transistor-Schwellspannung

$$V_T = V_{fb} + 2\Psi_B + \frac{\sqrt{4\epsilon_{Si}qN_B\Psi_B}}{C_{ox}} \quad (2.13)$$

und der Flachbandspannung V_{fb} des MOS-Kondensators. Für größere Drainspannungen können die Terme höherer Ordnung nicht mehr vernachlässigt werden und die Taylorentwicklung von Gl. (2.10) liefert für den Drainstrom

$$I_{DS} = \mu C_{Ox} \frac{W}{L_G} \left((V_G - V_T) \cdot V_{DS} - \frac{m}{2} V_{DS}^2 \right) \quad (2.14)$$

mit dem Substratfaktor

$$m = 1 + \frac{\sqrt{\epsilon_{Si}qN_B/4\Psi_B}}{C_{ox}} = 1 + \frac{C_{dm}}{C_{ox}}, \quad (2.15)$$

wobei $C_{dm} = \epsilon_{Si}/W_{dm}$ die Kapazität der verarmten Schicht mit der Weite W_{dm} im Substratmaterial unterhalb des Gates ist. Damit zeigt der Drainstrom I_{DS} einen parabolischen Verlauf in Abhängigkeit von V_{DS} . Im Maximum dieses Verlaufes erreicht V_{DS} die Sättigungsspannung $V_{DSat} = (V_G - V_T)/m$ und Gleichung (2.14) wird zu

$$I_{SAT} = \mu C_{Ox} \frac{W}{L_G} \frac{(V_G - V_T)^2}{2m}. \quad (2.16)$$

Die Sättigung des Drainstroms kann durch die Abschnürung des leitfähigen Kanals auf der Drainseite erklärt werden (pinch-off). Die Ladungsdichte der Inversionsschicht Q_i in Abhängigkeit vom ortsabhängigen Quasi-Fermipotential ϕ_n der Elektronen im Kanal ist durch

$$Q_i(\phi_n) = -C_{Ox}(V_G - V_T - m\phi_n) \quad (2.17)$$

bestimmt (siehe [21], S. 121). Erreicht das Quasi-Fermipotential der Elektronen Werte von $\phi_n = V_{DSat}$ in der Kanalregion, verschwindet die Inversionsladung. Bei Erhöhung der Drainspannung geschieht das zuerst am drainseitigen Ende des Kanals. Erhöht man V_{DS} weiter, verschiebt sich der Abschnürpunkt unterhalb des Gates in Richtung Source, was zu einer Veränderung der effektiven Kanallänge führt ($L_G - \Delta L = L'$). Durch diese Kanallängenmodulation steigt der Drainstrom mit $I_{DS} = I_{SAT} \cdot (L_G/L')$. Bei Transistoren mit kurzer Kanallänge L_G erreicht deshalb der Transistor keine ideale Sättigung. Für Bauelemente mit großer Gatelänge gilt

$L_G \gg \Delta L$ und $I_{DS} = I_{SAT}$ für $V_D \geq V_{Dsat}$.

Eine wichtige Größe zur Charakterisierung von MOS-Transistoren ist der Durchlasswiderstand R_{ON} . Er ist definiert als

$$R_{ON} \equiv \frac{\partial V_{DS}}{\partial I_{DS}}. \quad (2.18)$$

Im linearen Bereich von MOS Transistoren ergibt sich R_{ON} nach Gleichung (2.12) zu

$$R_{ON} = \frac{1}{(W/L_G)\mu C_{Ox}(V_G - V_T)}. \quad (2.19)$$

Die Gatesteilheit g_m ist definiert als

$$g_m \equiv \frac{\partial I_{DS}}{\partial V_G} \quad (2.20)$$

und ergibt sich im Sättigungsbereich des Transistors aus Gleichung (2.16) zu

$$g_m = \frac{W}{L_G}\mu C_{Ox}(V_G - V_T) = \frac{1}{R_{ON}}. \quad (2.21)$$

Diese Gleichung stellt demnach eine Relation zwischen g_m im Sättigungsbereich und R_{ON} im linearen Bereich dar.

Neben dem „pinch-off“ können bei Transistoren mit kurzen Gatelängen auch andere Effekte den Strom begrenzen. Kurze Gatelängen führen zu hohen lateralen Feldstärken $E \propto 1/L$, die Werte von $>10^4$ V/cm erreichen können. Bei kleinen Feldstärken ist die Geschwindigkeit der Ladungsträger direkt proportional zum elektrischen Feld und steigt mit kleiner werdenden L -Werten gemäß $v = \mu E$ an. Erreicht das E-Feld Werte von $\approx 10^4$ V/cm, sättigt sich diese Geschwindigkeit in Abhängigkeit von Material und Ladungsträgertyp. Für Elektronen im Silizium beträgt die Sättigungsgeschwindigkeit $v_{sat} \approx 1 \cdot 10^7$ cm/s [21]. In diesem Bereich der elektrischen Feldstärke ist Gleichung (2.14) nicht länger gültig und es gilt näherungsweise

$$I_{DS} = \frac{\mu C_{Ox} W / L_G ((V_G - V_T) \cdot V_{DS} - \frac{m}{2} V_{DS}^2)}{1 + ((\mu V_{DS}) / (v_{sat} L_G))}. \quad (2.22)$$

Für den Grenzfall $L_G \rightarrow 0$ ergibt sich der Sättigungsstrom zu

$$I_{SAT} = W C_{Ox} v_{sat} (V_G - V_T). \quad (2.23)$$

Alle betrachteten Gleichungen gelten für den idealisierten MOS-Transistor. Neben den nicht zu vernachlässigen Widerständen der Drain- und Sourceregionen, muss beim LDMOS vor allem der Widerstand der Driftregion mit einbezogen werden, was z.B. zu einer Erhöhung des Durchlasswiderstandes führt. Das elektrische Verhalten der LDMOS-Transistoren wird im Wesentlichen durch den Driftraum

bestimmt. Durch diesen Umstand kann es bei lateralen und vertikalen DMOS-Transistoren einen Arbeitsbereich geben, in dem der Sättigungsstrom nur noch gering von $(V_G - V_T)$ abhängt. Dieser Bereich wird als Quasisättigung bezeichnet. Abbildung 2.2 zeigt eine mit Hilfe von Bauelementesimulationen ermittelte Strom-Spannungscharakteristik für einen NLDMOS-Transistor.

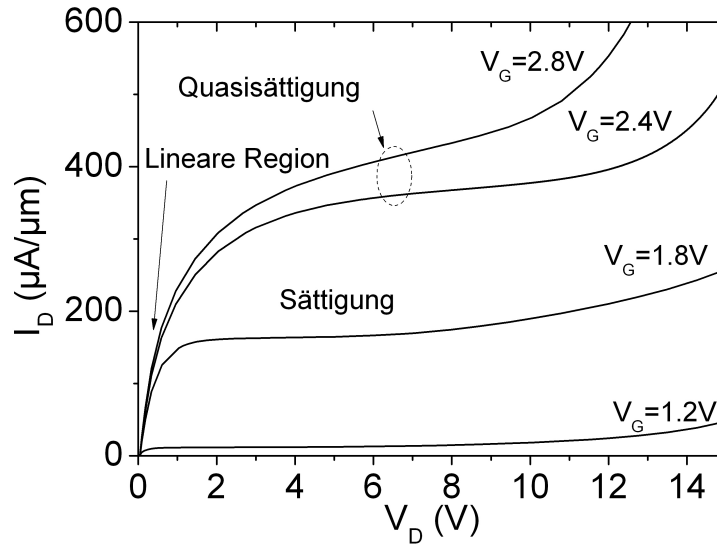


Abb. 2.2: Strom- Spannungscharakteristik eines simulierten NLDMOS-Transistors mit einer Gatelänge von $0.2\ \mu\text{m}$ und einer Driftlänge von $0.6\ \mu\text{m}$ bei verschiedenen Gatespannungen ($V_G > V_T$).

Die Quasisättigung wurde zuerst in vertikalen DMOS-Strukturen beschrieben. Dabei wurde angenommen, dass der Effekt auf dem Abschnüren des leitfähigen Kanals in der Driftregion beruht, wobei das Driftgebiet als Sperrschicht-Feldeffekt-Transistor (Junction-FET - JFET) betrachtet wurde [23]. Weitere Untersuchungen zeigten, dass der Effekt auf das Erreichen der Sättigungsgeschwindigkeit v_{sat} in der Driftregion zurückzuführen ist [24]. Derzeit existierende Kompaktmodelle nutzen zur elektrischen Beschreibung von LDMOS-Elementen entweder eine Reihenschaltung eines idealisierten MOS-Transistors und eines JFETs [25] oder berücksichtigen bereits die Effekte der Geschwindigkeitssättigung im Driftgebiet [26–28].

Für ein besseres Verständnis der Effekte im lateralen DMOS-Transistor wurden mittels der 2D-Bauelementesimulationen die elektrische Feldverteilung und der Potentialverlauf längs des Kanals und der Driftregion bei verschiedenen Arbeitspunkten betrachtet (Abb. 2.3). Der pn-Übergang zwischen Wannen und Driftregion ist in Sperrrichtung geschaltet. Die sich ausbildende Raumladungszone vergrößert sich mit ansteigender Drainspannung V_D . Über der Raumladungszone wird das Drainpotential abgebaut (Abb. 2.3(a)) und das laterale elektrische Feld wächst mit größer werdendem V_D (Abb. 2.3(b)). Das Maximum des elektrischen Feldes liegt bei kleinen Gatespannungen am physikalischen pn-Übergang zwischen Wanne und Driftgebiet

nahe der drainseitigen Gatekante (Linien in Abb. 2.3(b)).

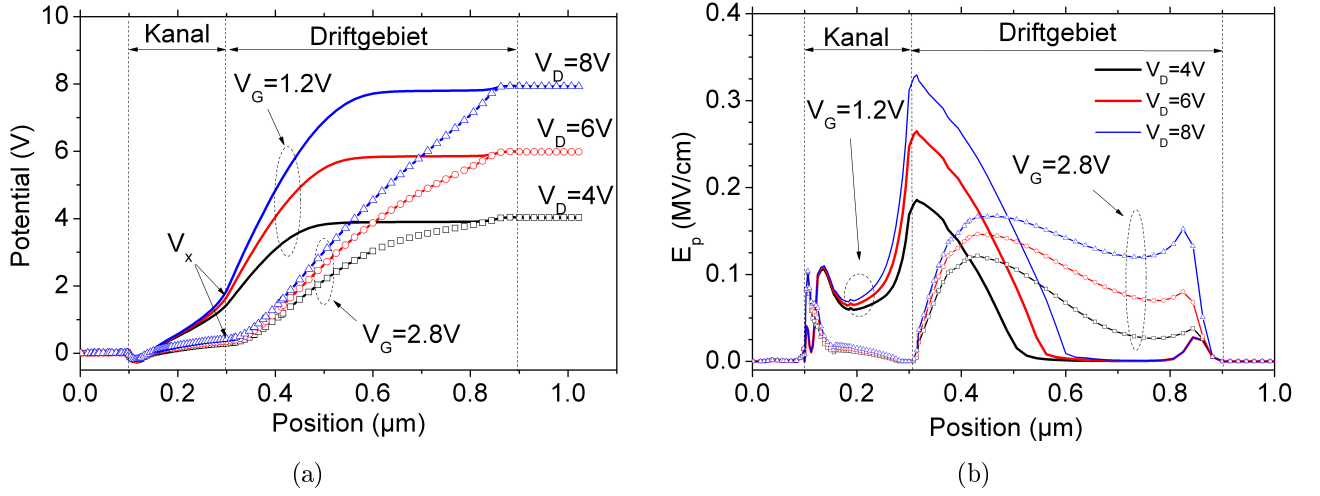


Abb. 2.3: Potentialverlauf (a) und laterale elektrische Feldstärke E_p (b) 5 nm unterhalb der Si-Oberfläche entlang der Kanalregion und dem Driftgebiet in Sättigung ($V_G=1.2$ V, Linien) und in Quasisättigung ($V_G=2.8$ V, Symbole).

Die am drainseitigen Kanalende resultierende Spannung V_x bestimmt dabei die Geschwindigkeit mit der die Elektronen in die Driftregion bzw. in die Raumladungszone eintreten. Der Strom in der Driftregion kann durch

$$I_{drift} = q\Delta n v_n A \quad (2.24)$$

abgeschätzt werden, wobei Δn die Dichte der in die Driftregion eintretenden Elektronen ist, v_n deren Geschwindigkeit und A die Querschnittsfläche des Driftgebietes. Erreicht die elektrische Feldstärke Werte über 10^4 V/cm dann sättigt sich die Geschwindigkeit der Elektronen auf ihren Maximalwert v_{sat} . Abbildung 2.3(b) kann man entnehmen, dass dies in der Driftregion für alle betrachteten Arbeitspunkte der Fall ist.

Wie nachfolgend begründet wird, ist der maximale Strom, der durch die Driftregion fließen kann, abhängig von deren Dotierung N_D . Unter der Annahme, dass sich die Elektronen mit v_{sat} bewegen, kann er durch

$$I_{drift,max} = qN_D v_{sat} A \quad (2.25)$$

berechnet werden. Mit ansteigender Gatespannung gelangen immer mehr Elektronen in die Driftregion. Die Elektronen verändern die Ladungsträgerdichte in diesem Gebiet und nach Gleichung (2.1) auch das elektrische Feld und die Potentialverteilung. Ist die Dichte der eintretenden Elektronen Δn viel kleiner als die Dotierung N_D der Driftregion, kann Gleichung (2.1) unter Verwendung der Verarmungsnäherung gelöst werden. Der resultierende Strom I_{drift} im Driftgebiet steigt in diesem Fall linear mit zunehmendem Δn bzw. steigender Gatespannung an.

Erreicht die Elektronendichte in der Driftregion Werte in der Größenordnung von

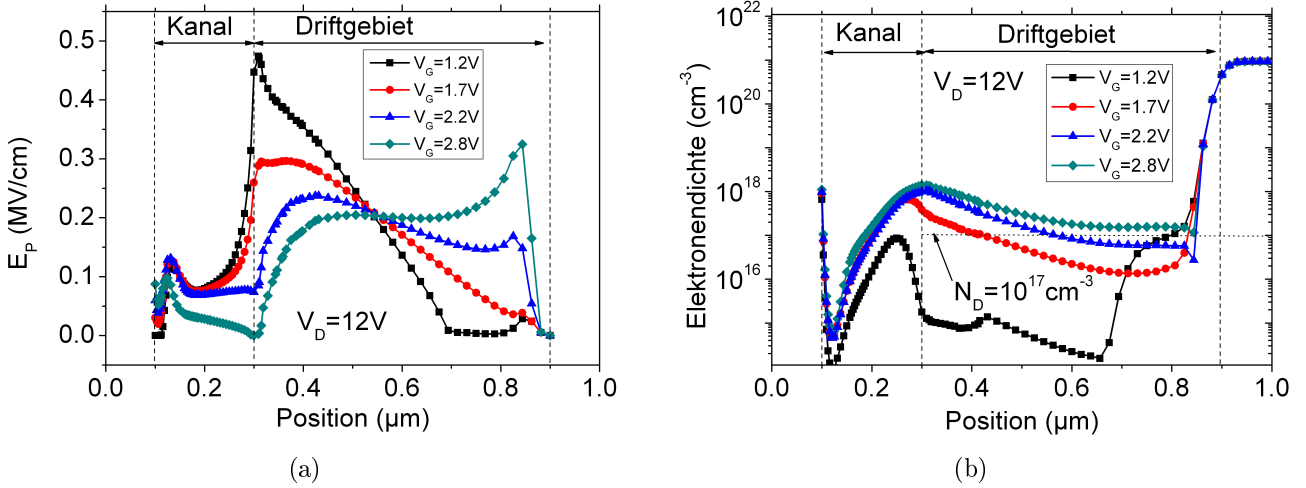


Abb. 2.4: Laterale elektrische Feldstärke E_P (a) und Elektronendichte 5 nm unterhalb der Si-Oberfläche entlang der Kanalregion und dem Driftgebiet bei verschiedenen Arbeitspunkten in Sättigung ($V_G \leq 1.7$ V) und Quasisättigung ($V_G > 2.2$ V).

N_D ist die Verarmungsnäherung nicht länger gültig (siehe [21], S. 322). Die eintretenden Elektronen erzeugen ein elektrisches Gegenfeld in der Driftregion, was zu einer Verringerung der Feldstärke am physikalischen pn-Übergang führt. Abbildung 2.4 zeigt die laterale elektrische Feldstärke und die Elektronendichte für verschiedene Gatespannungen bei $V_D = 12$ V. Je mehr Elektronen in die Driftregion gelangen, desto geringer wird die Feldspitze an der drainseitigen Gatekante (Abb. 2.4(a)). Sie verlagert sich mit zunehmender Gatespannung in Richtung des Übergangs zwischen dem schwach dotierten Driftgebiet und dem hochdotierten Drainanschluss. Zudem verschiebt sich Raumladungszone durch die eintretenden Elektronen in Richtung des Draingebietes, wodurch der Potentialabbau in der Driftregion auch bei geringen Drainspannungen nahe dem Drainanschluss beginnt (Abb. 2.3(a) für $V_D = 4$ V). Mit zunehmender Gatespannung steigt die Elektronendichte an der drainseitigen Gatekante auf Werte von $\Delta n > N_D$. Der Strom in der Driftregion erreicht in Verbindung mit den hohen elektrischen Feldern sein Maximum $I_{drift,max}$ und hängt nicht länger von der Gatespannung ab (Quasisättigung). In Abbildung 2.5 ist die Stoßionisationsrate entlang der Driftregion dargestellt. Das Maximum der Stoßionisationsrate verlagert sich, wie die maximale elektrische Feldstärke, mit zunehmender Gatespannung in Richtung des hochdotierten Drainanschlusses. Erreicht die Elektronendichte über der ganzen Driftregion Werte über N_D steigt auch die Stoßionisationsrate über dem gesamten Driftgebiet an (Abb. 2.5 $V_G = 2.8$ V). Gleichung (2.25) ist in diesem Fall nicht länger gültig und man beobachtet einen Anstieg im Strom, der durch generierte Ladungsträger verursacht wird (siehe Abb. 2.2 für $V_G = 2.8$ V). Durch eine Vergrößerung der Driftregion kann das unterbunden werden.

Der Effekt der Quasisättigung ist nach diesen Betrachtungen hauptsächlich von der

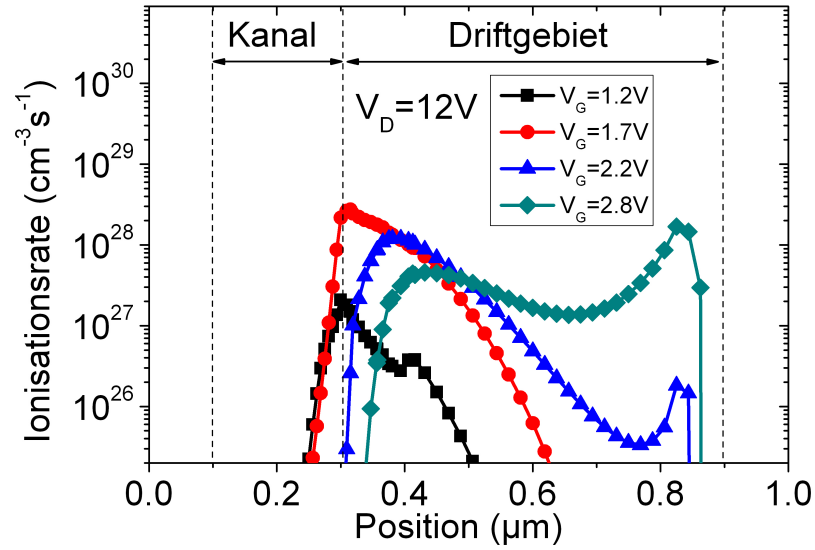


Abb. 2.5: Simulierte Stoßionisationsrate 5 nm unterhalb der Si-Oberfläche entlang dem Kanal und im Driftgebiet bei unterschiedlichen Gatespannungen V_G .

Dotierung des Driftgebietes abhängig und kann durch eine Erhöhung der Konzentration verhindert werden. Dies führt aber zu größeren lateralen Feldstärken, die das Verhalten der LDMOS-Transistoren unter Hochvoltbedingungen verändern. Dies kann z.B. ein früherer Durchbruch oder eine erhöhte Degradation der Bauelemente durch die Injektion heißer Ladungsträger sein.

2.4 Durchbruchverhalten

2.4.1 Elektrische Durchbruchmechanismen

Für die hier betrachteten Hochvoltbauelemente sind die folgenden drei Arten von elektrischen Durchbruchmechanismen von Bedeutung.

1. Lawinendurchbruch (Avalanche Breakdown): Im elektrischen Feld werden Elektronen beschleunigt. Erhöht sich die Spannung, wächst die Geschwindigkeit und Energie der Elektronen. Wird diese Energie auf Valenzelektronen übertragen, kann es zur Generierung neuer Elektron-Loch-Paare kommen. Die erzeugten Elektronen werden wiederum beschleunigt und können weitere Elektron-Loch-Paare generieren. Ist das elektrische Feld über einer Region der Weite W_i groß genug, um Elektronen-Loch-Paare zu erzeugen, steigt z.B. der Löcherstrom $I_p(x=0) = I_{p0}$ auf einen Wert von $I_p(x=W_i) = M_p I_{p0}$ an. Dabei ist M_p der Multiplikationsfaktor und definiert als

$$M_p \equiv \frac{I_p(W_i)}{I_p(0)}. \quad (2.26)$$

Gleiches gilt für den Elektronenstrom I_n in entgegengesetzter Richtung. Der Gesamtstrom innerhalb dieser Region ergibt sich aus $I = I_n + I_p$. Über dem infinitesimalen Raumelement dx werden durch Löcher $\alpha_p I_p dx/q$ neue Elektronen-Loch-Paare generiert, wobei α_p die durch Löcher verursachte Ionisationsrate für Elektron-Loch-Paare ist. Für die durch Elektronen generierten Paare ergibt sich analog $\alpha_n I_n dx/q$, wobei α_n die durch Elektronen verursachte Ionisationsrate für Elektron-Loch-Paare ist. Die infinitesimale Änderung des Löcherstroms in einem bestimmten Raumelement dx ergibt sich dann aus der Summe von generierten Löchern und Elektronen gemäß

$$d(I_p/q) = (I_p/q)(\alpha_p dx) + (I_n/q)(\alpha_n dx) \quad (2.27)$$

oder

$$\frac{dI_p}{dx} = \alpha_n I + (\alpha_p - \alpha_n) I_p. \quad (2.28)$$

Die Lösung der Differentialgleichung (2.27) ist das sogenannte Ionisationsintegral und kann geschrieben werden als (siehe S.99 in [20])

$$1 - \frac{1}{M_p} = \int_0^{W_i} \alpha_p \exp \left[- \int_0^{W_i} (\alpha_p - \alpha_n) dx' \right] dx. \quad (2.29)$$

Die Spannung bei der M_p bzw. M_n gegen unendlich geht, wird als die Durchbruchspannung V_B für einen Lawinendurchbruch im Halbleiter bezeichnet. Das Ionisationsintegral wird dann zu

$$1 = \int_0^{W_i} \alpha_p \exp \left[- \int_0^{W_i} (\alpha_p - \alpha_n) dx' \right] dx. \quad (2.30)$$

Wird der Durchbruch vor allem durch Elektronen verursacht, wird das Integral (2.30) zu

$$1 = \int_0^{W_i} \alpha_n \exp \left[- \int_0^{W_i} (\alpha_n - \alpha_p) dx' \right] dx. \quad (2.31)$$

Die Ionisationsraten α_n und α_p sind abhängig vom Material sowie der elektrischen Feldstärke und können durch

$$\alpha = A \cdot \exp \left[- \left(\frac{b}{E} \right)^m \right] \quad (2.32)$$

berechnet werden. Die Konstanten A , b und m unterscheiden sich je nach Material und Ladungsträgertyp und können zum Beispiel in [29, 30] nachgelesen werden. Die Feldstärke, bei der das Ionisationsintegral bedingt durch die Änderung von α_n bzw. α_p gleich eins ist, wird als kritische Feldstärke E_{cr} bezeichnet. Im Silizium beträgt diese ca. $3 \cdot 10^5$ V/cm [31].

In der Regel tritt der Lawinendurchbruch am pn-Übergang zwischen der Drift-

und der Wannenregion des LDMOS auf. Doch auch vertikal, zwischen dem Drain und beispielsweise einer tiefen Isolationsschicht, sind solche Durchbrüche zu beobachten.

2. Oxid-Durchbruch (Dielectric Breakdown) : Überschreitet das angelegte elektrische Feld an einem Isolator einen bestimmten Wert, fließt ein starker Strom, der zu einer permanenten Schädigung des Dielektrikums führt. Bei Oxiddicken unter 10 nm beträgt die maximale Feldstärke bis zum Durchbruch des Oxides ca. 15 MV/cm [21].

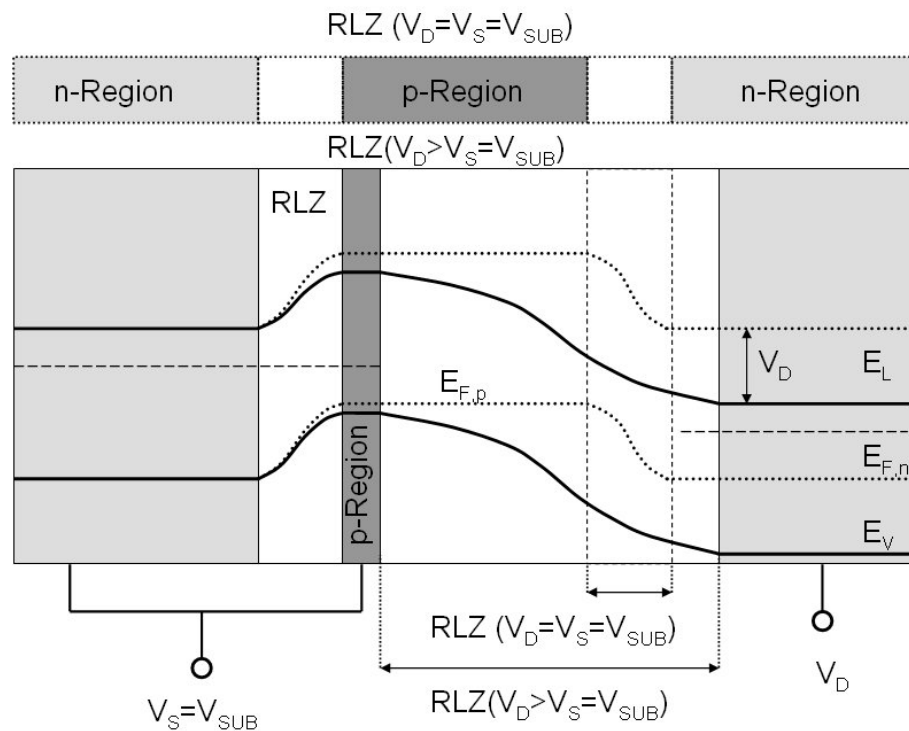


Abb. 2.6: Bandverlauf an einer npn-Struktur zur Veranschaulichung von Durchgriffen zwischen zwei gleich dotierten Gebieten (Punch-Through).

3. Punch-Through-Durchbruch: Betrachten wir ein System aus zwei pn-Übergängen, wie es in Abbildung 2.6 dargestellt ist. Wird ein pn-Übergang in Sperrrichtung betrieben, vergrößert sich dessen Raumladungszone und es kommt zur Verbiegung der Bandkanten (siehe Abb. 2.6). Bei immer größerer Sperrspannung werden die Bandkanten derart verbogen, dass es zu einer Reduzierung der Energiebarriere zwischen den beiden n-Regionen kommt. Die Raumladungszone des vorgespannten pn-Übergangs erreicht dann die Raumladungszone des nicht vorgespannten pn-Übergangs und das p-Gebiet wird völlig verarmt. Dadurch wird die Barriere kleiner und Valenzelektronen aus den Donatorniveaus des nicht vorgespannten n-Gebietes können in das Leitungsband des anderen n-Gebietes gelangen und es kommt zum Durchgriff zwischen den zwei n-Regionen, d.h. ein Strom fließt (Punch-Through). Aus diesem Grund muss

beim LDMOS die Konzentration des dotierten Gebietes um die Sourcereion hinreichend hoch sein, damit sich die Raumladungszone zwischen Driftregion und Wannengebiet auch unter hohen Spannungen nicht bis zur Sourcereion ausdehnen kann.

2.4.2 Das RESURF-Prinzip

In LDMOS-Transistoren kommt es im Vergleich zu vertikalen DMOS-Transistoren zu hohen lateralen Feldstärken nahe der Si-Oberfläche. Dies kann erhebliche Auswirkungen auf die Degradation der Transistoren durch die Injektion von heißen Ladungsträgern haben. Eine Möglichkeit, die elektrischen Feldstärken speziell an der Oberfläche zu reduzieren, bietet das RESURF-Prinzip (Reduced-Surface-Field) [32–35].

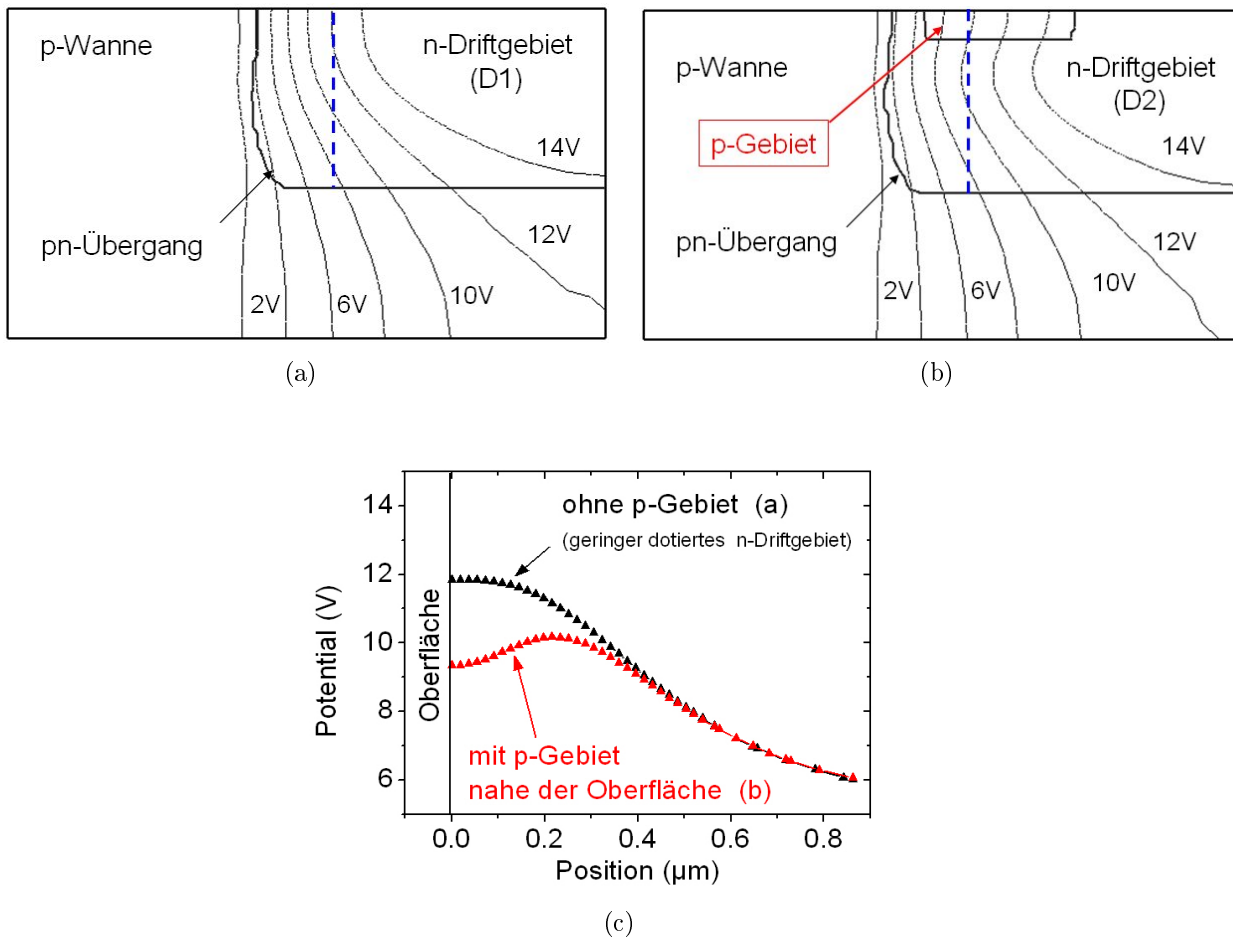


Abb. 2.7: Simulierter Potentialverlauf in einem pn-Übergang aus n-Drain/Drift- und p-Wannengebiet ohne (a) und mit (b) p-Implantation. Das p-Gebiet sorgt für einen Potentialabfall nahe der Oberfläche (c) und reduziert die elektrischen Feldstärke.

Das RESURF-Prinzip beschreibt im Wesentlichen die zusätzliche Verarmung der Driftregion mit ansteigender Sperrspannung V_{SP} durch ein Gebiet entgegengesetzter Dotierung. Dabei ist Voraussetzung, dass das RESURF-Gebiet bei $V_{SP}=0\text{ V}$

nicht vollständig verarmt ist. Die Region von entgegengesetztem Leitungstyp kann sich unterhalb oder innerhalb des Driftgebietes befinden. In jedem Fall sollte das Gebiet auf ein festes Potential eingestellt werden können, um das RESURF-Prinzip zu nutzen. Die Dotierungen und Dimensionen (Tiefe, Länge der Driftregion) müssen so gewählt werden, dass beim Anlegen einer Sperrspannung das Driftgebiet vollständig verarmt wird, bevor die kritische Feldstärke im Driftgebiet in lateraler Richtung erreicht ist.

In dieser Arbeit wird beim NLD MOS-Transistors ein p-dotiertes Gebiet innerhalb der n-Driftregion realisiert. Diese p-dotierte Region befindet sich nahe der Oberfläche des Driftgebietes und ist nicht elektrisch angeschlossen. Deshalb wurde die Dotierung des p-Gebietes so gewählt, dass es schon bei einer Sperrspannung von 0 V völlig verarmt. Demnach hat es nicht die Bedeutung eines RESURF-Gebietes im eigentlichen Sinn. Allerdings ändert sich die Elektrostatik im Driftgebiet, was auch Auswirkungen auf das dynamische Verhalten des Transistors hat. Bauelementesimulationen wurden genutzt, um die Auswirkung des p-Gebietes zu untersuchen. Durch die Implantation des p-Gebietes wird die Nettogesamtdosis D_{drift} des Driftgebietes reduziert. In der Simulation wurden zwei pn-Dioden mit der gleichen Nettogesamtdosis betrachtet. Die Driftregion mit p-Gebiet wurde mit einer Dosis $D2$ und das Driftgebiet ohne p-Gebiet mit einer Dosis $D1 = D2 - D_{p\text{-Gebiet}}$ realisiert. Abbildung 2.7 zeigt die Potentialverteilung für die simulierten pn-Dioden bei einer Sperrspannung von 14 V. Am vertikalen pn-Übergang zwischen p-Gebiet und Driftregion kommt es zur Ausbildung eines elektrischen Feldes und zu einem veränderten Potentialverlauf nahe der Oberfläche in der pn-Diode (Abb. 2.7(a,b)). Dagegen ist der Potentialverlauf in der tiefen Driftregion aufgrund der gleichen Nettogesamtkonzentration identisch. Wie erwähnt ändert sich durch den vertikalen pn-Übergang zwischen n-Driftregion und dem p-dotierten Gebiet nahe der Oberfläche die Elektrostatik innerhalb des Driftgebietes. Die sich ausbildende vertikale Feldkomponente verändert den Potentialverlauf innerhalb der Driftregion nahe der Oberfläche. Bei einer Sperrspannung an der pn-Diode fällt das Potential nahe Oberfläche für den Fall mit p-Gebiet stärker ab (Abb. 2.7(c)). Dadurch reduzieren sich auch die elektrischen Feldstärken am pn-Übergang der Diode nahe der Si-Grenzfläche. Zudem bilden die ionisierten Akzeptoren des p-Gebietes eine Barriere für die sich bewegenden Elektronen in der Driftregion. Diese Wirkungsweise des p-Gebietes verbessert entscheidend die Langzeitstabilität der NLD MOS-Transistoren.

2.5 Langzeitstabilität von Hochvolttransistoren

Wie bereits beschrieben, können Durchbrüche von pn-Übergängen oder des Gate-dielektrikums den Arbeitsbereich des Transistors hin zu höheren Spannungen beschränken. Doch auch im Betrieb bei geringeren Spannungen gibt es Vorgänge, die

zu einer Veränderung spezifischer Parameter führen. Ändern sich zum Beispiel der Durchlasswiderstand R_{ON} oder Sättigungsstrom I_{SAT} des Transistors mit der Betriebszeit, spricht man von Alterung oder Degradation des Bauelements. Im Folgenden wird beschrieben, welche physikalischen Effekte zur Änderung dieser Parameter führen können.

Injektion heißer Ladungsträger (Hot Carrier Injection-HCI)

Im aktiven Transistor werden in der Kanalregion Elektronen durch das elektrische Feld beschleunigt. Durch Wechselwirkungen mit anderen Elektronen wird Energie innerhalb des Elektronenensembles übertragen und den Elektronen kann eine thermische Verteilung mit der Temperatur T_e zugeordnet werden. In Abhängigkeit von der Wechselwirkung zwischen Elektronen und Kristallgitter, z.B. durch Elektron-Phonon-Streuung, kann die Temperatur des Elektronenensembles T_e deutlich größer als die umgebende Gittertemperatur T_{Gitter} sein, weswegen sie auch als heiße Elektronen bezeichnet werden.

In der Nähe des drainseitigen pn-Übergangs ist die elektrische Feldstärke am größten und die Elektronen erreichen hier ihre maximale Energie. Elektronen mit einer kinetischen Energie, die größer als die Bandlücke ist, können durch Wechselwirkung mit Valenzelektronen einen Teil ihrer Energie übertragen und Elektron-Loch-Paare generieren. Dabei werden die erzeugten Elektronen in Richtung des Drain oder Gates beschleunigt und die Löcher ins Substrat abgeleitet. Abbildung 2.8 zeigt die schematische Darstellung des Vorgangs.

Der gemessene Substratstrom I_{SUB} ist demnach ein direktes Maß für die Anzahl der generierten Elektron-Loch-Paare. Im Sättigungsbereich des Transistors kann I_{SUB} empirisch durch [36]

$$I_{SUB} = \frac{A_i}{B_i} (V_{DS} - V_{Dsat}) \cdot I_D \cdot \exp\left(-\frac{lB_i}{V_{DS} - V_{Dsat}}\right), \quad (2.33)$$

beschrieben werden, wobei

$$V_{Dsat} \approx \frac{(V_G - V_T)L_{eff}E_{sat}}{V_G - V_T + L_{eff}E_{sat}}. \quad (2.34)$$

Die Größen A_i und B_i sind die Material- und Dotierungsabhängigen Stoßionisationskonstanten. Die Feldstärke E_{sat} liegt im Bereich von $4 \cdot 10^4$ V/cm, L_{eff} ist die effektive Kanallänge und l die Länge der Region, in der v_{sat} erreicht wird. Letztendlich ergibt sich durch die Abhängigkeit der Sättigungsspannung V_{Dsat} von V_G ein Maximum von I_{SUB} über V_G . Die zu $I_{SUB}(max)$ gehörende Gatespannung gibt somit den Arbeitspunkt an, bei dem die Anzahl der generierten Elektronen im Kanal maximal wird.

Die heißen Elektronen können soviel Energie besitzen, dass sie die Gateoxidbarriere überwinden. Beim Durchdringen des Oxides kann es zu Schädigungen und zur

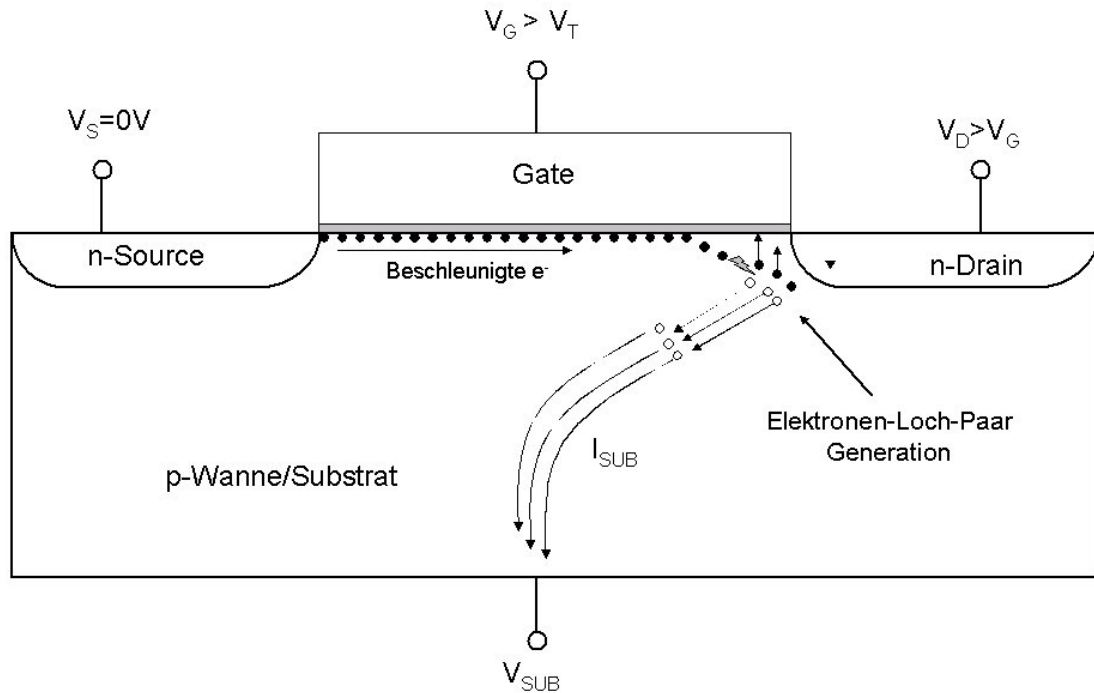


Abb. 2.8: Schematische Darstellung der Elektron-Loch-Paar-Generation durch heiße Ladungsträger in einem NMOS-Transistor.

Erzeugung von Energieniveaus in der Oxidbandlücke kommen (Traps). Diese Zustände werden mit Elektronen besetzt und es bildet sich ein zusätzliches elektrisches Feld aus. Als Ergebnis dieses negativen Ladungsaufbaus kann es zur Verarmung der schwach n-dotierten Drainanschlußgebiete (n-LDD) bei n-Kanal-Transistoren kommen. Dadurch steigt der Widerstand dieser Region und es erhöht sich der Durchlasswiderstand R_{ON} des Transistors und der Sättigungsstrom I_{SAT} sinkt [37]. Bei p-Kanal-Transistoren sorgen die negativen Festladungen für die Akkumulation der p-LDD-Gebiete und so für eine Verringerung des Durchlasswiderstandes.

Zusammengefasst kann es im Dauerbetrieb der Transistoren zu zeitabhängigen Veränderungen von Parametern kommen. Für ein stabiles Bauelement gilt im Allgemeinen, dass diese Änderung weniger als 10 % in 10 Jahren betragen soll.

„Negative-Bias-Temperature-Instability“ - NBTI

Ein bekannter Effekt, der speziell bei p-Kanal Transistoren (PMOS) zur Degradation von elektrischen Parametern, wie der Schwellspannung oder des Durchlasswiderstandes führt, ist der NBTI-Effekt. Die bekannteste Deutung dieses Effektes beruht auf der Bildung von Energiezuständen im Dielektrikum und an der Grenzfläche des Gateoxides zum Si-Substrat, wenn eine negative Spannung am Gate anliegt. An dieser Grenzfläche kommt es während der Herstellung zur Ausbildung offener Si-Bindungen (dangling bonds). In vielen Technologien werden diese offenen Bindungen durch Wasserstoff gesättigt. Im Transistor können die hohen elektrischen Felder

diese kovalenten Si-H-Bindungen dann wieder aufbrechen. Die offenen Si-Bindungen rekombinieren mit den im Inversionskanal befindlichen Löchern und wirken als positive Grenzflächenzustände der negativen Spannung am Gate entgegen [38, 39]. Zudem kommt es durch die gleichen Effekte auch zur Erzeugung von Energiezuständen im Dielektrikum, die ebenfalls mit Löchern gefüllt werden. Wird bei der Herstellung des Gateoxides auch eine Nitridierung (SiON) vorgenommen, um die Diffusion von Bor durch das Gate zu verringern, wird speziell die Bildung der Energiezustände im Dielektrikum und damit der NBTI-Effekt noch verstärkt. Bei n-Kanal Transistoren ist dieses Degradationsverhalten für die hier betrachteten Gatedielektrika nicht zu beobachten, da keine vergleichbaren Wechselwirkungen zwischen den sich bildenden Energiezuständen und den Kanalelektronen existieren.

2.6 Hochfrequenzverhalten von LDMOS-Transistoren

Im folgenden Kapitel wird das Verhalten der LDMOS-Transistoren bei hohen Frequenzen diskutiert. Dazu werden Näherungen für die Transitfrequenz f_T und die maximale Schwingfrequenz f_{max} herangezogen und deren Abhängigkeiten von elektrischen Komponenten, wie z.B. dem Widerstand der Driftregion R_D , dargestellt. Abbildung 2.9 zeigt das Kleinsignalersatzschaltbild eines LDMOS-Transistors.

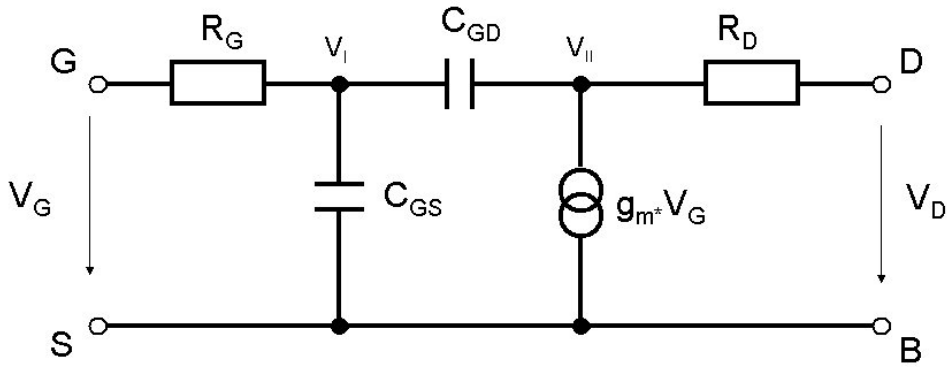


Abb. 2.9: Kleinsignalersatzschaltbild eines LDMOS-Transistors mit den Terminalen Gate (G), Source (S), Drain (D) und Substrat (B).

Das vereinfachte Ersatzschaltbild berücksichtigt die Widerstandskomponenten der Driftregion R_D und des Gates R_G , sowie die Gate-Source-Kapazität C_{GS} und die Gate-Drain-Kapazität C_{GD} . Eine der wichtigsten Größen zur Beschreibung des Hochfrequenzverhaltens eines Transistors ist die Transitfrequenz f_T . Sie ist definiert als die Frequenz, bei welcher der Betrag der Kleinsignalstromverstärkung h_{21} gleich 1 wird. Mittels der in der Vierpoltheorie beschriebenen Abhängigkei-

ten [40–42] und der Lösung der Kirchhoffschen Gleichungen an den Knoten V_I und V_{II} , kann f_T durch

$$f_T \approx \frac{g_m}{2\pi(C_{GS} + C_{GD} \cdot (1 + R_D g_m))} \quad (2.35)$$

abgeschätzt werden. Eine Herleitung der Näherung findet sich im Anhang A. Ist der Widerstand R_D zu vernachlässigen, ergibt sich die Näherung für f_T wie bei einem idealisierten MOS-Transistor $f_T \approx g_m / (2\pi(C_{GS} + C_{GD}))$. Die Gate-Source-Kapazität C_{GS} kann im Arbeitsbereich der Sättigung durch $C_{GS} = \frac{2}{3}C'_{ox}$ abgeschätzt werden [43]. Hierbei ist für den LDMOS zu beachten das C'_{ox} von der effektiven Kanallänge des Transistors abhängt und durch $C'_{ox} = C_{ox} \cdot W \cdot L_{eff}$ mit $C_{ox} = \frac{\epsilon_{ox}}{d_{ox}}$ und der Weite W des Transistors beschrieben werden kann. Die Gate-Drain-Kapazität hängt hauptsächlich von der Überlappung L_{OL} des Gates und der Driftregion ab und lässt sich als in Reihe geschaltete Kapazitäten durch

$$C_{GD} = \frac{L_{OL} \cdot W \cdot C_{OX}}{\sqrt{1 + \frac{2 \cdot C_{OX}^2 \cdot V_{DG}}{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{Si}}}} \quad (2.36)$$

abschätzen [8]. Die Gatesteilheit g_m ist nach Gleichung (2.21) im Sättigungsbereich umgekehrt proportional zur Gatelänge L_G . Die Kapazität C_{GS} verhält sich direkt proportional zu L [43]. Damit ist $f_T \propto \frac{1}{L_G^2}$. Wird die kritische Feldstärke im Kanal erreicht, wird g_m konstant und damit f_T umgekehrt proportional zu L_G . Dabei wird vorausgesetzt, dass $C_{GS} \gg C_{GD}$ ist, was allerdings nicht für jede Konstruktion gilt.

Ein weitere wichtige Größe zur Charakterisierung der Hochfrequenzeigenschaften ist die maximale Schwingfrequenz f_{max} . Sie ist definiert als die Frequenz, bei der die Leistungsverstärkung eins wird. Die in dieser Arbeit ermittelten Werte für f_{max} beruhen auf der Bestimmung der maximal erreichbaren Verstärkung MAG (Maximal Available Gain). Über die Messung von Streuparametern (S-Parametern) am Zweitor bzw. Vierpol werden diese Größen bestimmt. Zur Abschätzung von f_{max} dient die Näherung

$$f_{max} \approx \sqrt{\frac{f_T}{8\pi R_G C_{GD}}} \quad (2.37)$$

aus [8, 44]. Im Gegensatz zur Näherung für f_T aus Gl. (2.35) hat hier auch der Gatewiderstand R_G einen Einfluss.

2.7 LDMOS als Leistungsverstärker

Eine häufige Anwendung finden LDMOS-Transistoren bei der Realisierung von Leistungsverstärkern. Wichtige Kenngrößen der Verstärker sind die Effizienz, Linearität und die Verstärkung. Entsprechend ihres Arbeitspunktes werden die Leistungsverstärker in verschiedene Klassen eingeteilt. Eine Übersicht aller Klassen von Leistungsverstärkern und deren prinzipiellen Eigenschaften findet man in [45].

Verstärkung

Für die Charakterisierung von Leistungsverstärkern sind verschiedene Definitionen der Verstärkung üblich, von denen hier vier wesentliche aufgeführt werden [46, 47]. Zum Verständnis der einzelnen Definitionen werden die für ein Zweitor spezifischen Größen Z_S , Z_L , Z_{in} und Z_{out} eingeführt. Dabei ist Z_S die Impedanz der Quelle, Z_L die Impedanz der Last sowie Z_{in} und Z_{out} die Eingangs- bzw. Ausgangsimpedanz des Zweitores. Die Definitionen der einzelnen Leistungsgrößen P_{in} und P_{out} sind [46] (S. 195 ff.) zu entnehmen.

1. *Leistungsverstärkung (Power gain)* = $G_P = P_{out}/P_{in}$ ist das Verhältnis der übertragenen Hochfrequenzleistung auf die Last P_{out} und der realen Hochfrequenzeingangsleistung P_{in} . Sie ist unabhängig von der Quellimpedanz Z_S . Der Ein- und Ausgang des Zweitores müssen dabei nicht an die Quelle bzw. Last angepasst sein ($Z_S \neq Z_{in}$ und $Z_L \neq Z_{out}$).
2. *Verfügbare Verstärkung (Available gain)* = $G_A = P_{avL}/P_{avS}$ ist das Verhältnis der verfügbaren Hochfrequenzausgangsleistung und der verfügbaren Hochfrequenzeingangsleistung. Sie setzt eine Anpassung zwischen Eingang und Ausgang voraus ($Z_S = Z_{in} \rightarrow P_{in} = P_{avS}$ und $Z_L = Z_{out} \rightarrow P_{out} = P_{avL}$) und hängt von Z_S ab, ist jedoch unabhängig von Z_L .
3. *Maximal Verfügbare Verstärkung (Maximum Available Gain MAG)* = $MAG = P_{avL}/P_{in}$ ist das Verhältnis der verfügbaren Hochfrequenzausgangsleistung und der realen Hochfrequenzeingangsleistung. Dabei wird eine Anpassung des Ausganges vorausgesetzt ($Z_L = Z_{out}$). In dieser Arbeit dient das MAG zur Bestimmung von f_{max} .
4. *Transducer gain* = $G_T = P_{out}/P_{avS}$ ist das Verhältnis der übertragenen Hochfrequenzausgangsleistung auf die Last und der verfügbaren Hochfrequenzeingangsleistung. Sie ist abhängig von Z_L sowie Z_S und setzt eine Anpassung des Einganges voraus ($Z_S = Z_{in}$).

Die Definitionen unterscheiden sich also dadurch, wie genau Eingangs- und Ausgangsimpedanz an die Quelle bzw. Last angepasst wurden. Sind Ein- und Aus-

gang des Verstärkers ideal angepasst, wird die Verstärkung maximal und es gilt $G_P = G_A = MAG = G_T$.

Linearität

Abbildung 2.10 zeigt die Ausgangsleistung P_{out} eines Transistors bzw. Verstärkers in Abhängigkeit von der Eingangsleistung P_{in} . Steigt die Ausgangsleistung konstant mit der Eingangsleistung an, befinden wir uns im linearen Arbeitsbereich des Verstärkers und der konstante Anstieg dieser Kurve entspricht der Verstärkung des Bauelements.

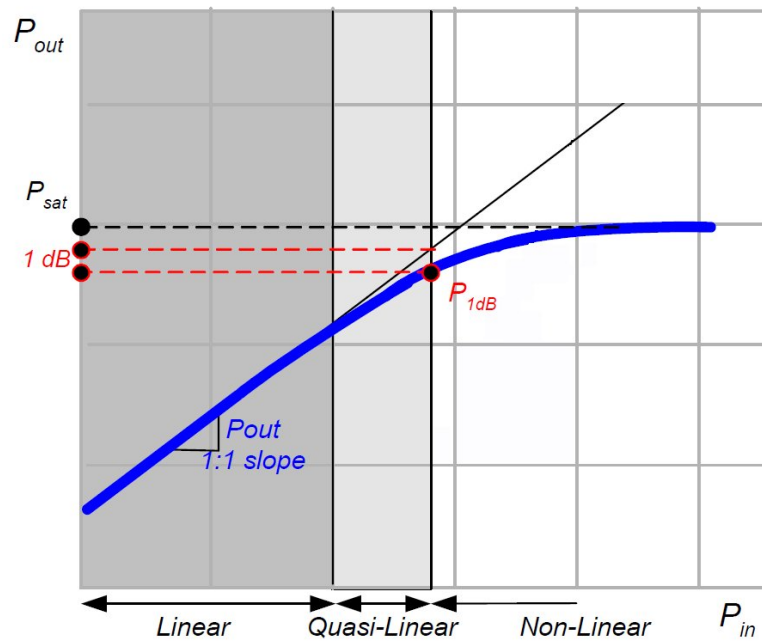


Abb. 2.10: Abhängigkeit der HF-Ausgangsleistung P_{out} von der HF-Eingangsleistung P_{in} eines Verstärkers.

Bei geringen Eingangsleistungen verhält sich P_{out} proportional zu P_{in} , d.h. die Verstärkung ist konstant. Ab einem bestimmten Punkt geht die Ausgangsleistung in die Sättigung über und die Verstärkung nimmt ab. Der Punkt, an dem die Verstärkung von ihrem konstanten Ausgangsniveau um 1dB abgefallen ist, wird als 1dB-Kompression-Punkt bezeichnet. Dieser beschreibt den Übergang zum nichtlinearen Arbeitsbereich und wird oft zur Charakterisierung der Linearität des Transistors genutzt.

Effizienz

Die Effizienz eines Leistungsverstärkers ist definiert durch den Quotienten aus der Hochfrequenz Ausgangsleistung P_{out} und der Gleichstromeingangsleistung P_{DC}

$$\eta = \frac{P_{out}}{P_{DC}}. \quad (2.38)$$

Bei einem ideal angepassten Leistungsverstärker berechnet sich die Hochfrequenz-
ausgangsleistung aus

$$P_{out} = \frac{|I_{out}^2| \cdot Z_L}{2} \quad (2.39)$$

und verhält sich proportional zum Lastwiderstand Z_L und zum Quadrat der sinus-
förmigen Stromkomponente am Ausgang. Die Gleichstromeingangsleistung ergibt
sich aus dem Produkt der DC-Ausgangsspannung und des dazugehörigen Stromes
 I_{DC} gemäß

$$P_{DC} = V_{DC} I_{DC}. \quad (2.40)$$

Allerdings berücksichtigt die Definition der Effizienz in Gl. 2.38 nicht die Hochfre-
quenzeingangsleistung des Verstärkers. Um diese mit einzubeziehen, betrachtet man
die „Power-Added-Efficiency“ (PAE). Sie ist definiert durch

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} = \left(1 - \frac{1}{G_P}\right) \frac{P_{out}}{P_{DC}} = \left(1 - \frac{1}{G_P}\right) \eta, \quad (2.41)$$

wobei $G_P = P_{out}/P_{in}$ die Leistungsverstärkung des Bauelements ist.

Klassen von Leistungsverstärkern

Je nach gewähltem Arbeitspunkt des Transistors unterscheiden sich Effizienz und
Linearität des Leistungsverstärkers. Dies erlaubt die Einteilung der Leistungsverstär-
ker in verschiedene Klassen. In Abbildung 2.11 ist die Einteilung ausgewählter Klas-
sen in Abhängigkeit des Arbeitspunktes auf einer Transferkennlinie dargestellt [48].

1. *Klasse A*: Verstärker der Klasse A zeichnen sich durch eine hohe Linearität aus.
Die Betriebsspannungen $V_{G,OP}(I_{DS})$ liegen bei ca. $V_{G,OP}(I_{DS} \approx 0.5 \cdot I_{DS,max})$.
Allerdings ist die Effizienz dieser Leistungsverstärker gering und kann maximal
50 % erreichen [48].
2. *Klasse B* : Der Arbeitspunkt für diese Verstärker liegt nahe der Schwellspan-
nung der Transistoren. Die maximale theoretisch erreichbare Effizienz ist mit
78 % höher als die der Leistungsverstärker aus Klasse-A. Allerdings ist die Li-
nearität dieses Verstärkers, im Vergleich zu Verstärkern der Klasse-A, schlech-
ter.
3. *Klasse AB* : Als guter Kompromiss zwischen den ersten beiden Gruppen bieten
sich Verstärker dieser Klasse an, deren Arbeitspunkt oberhalb der Schwellspan-
nung liegt. Die Wahl der Linearität und Effizienz ist in diesem Bereich sehr
flexibel.

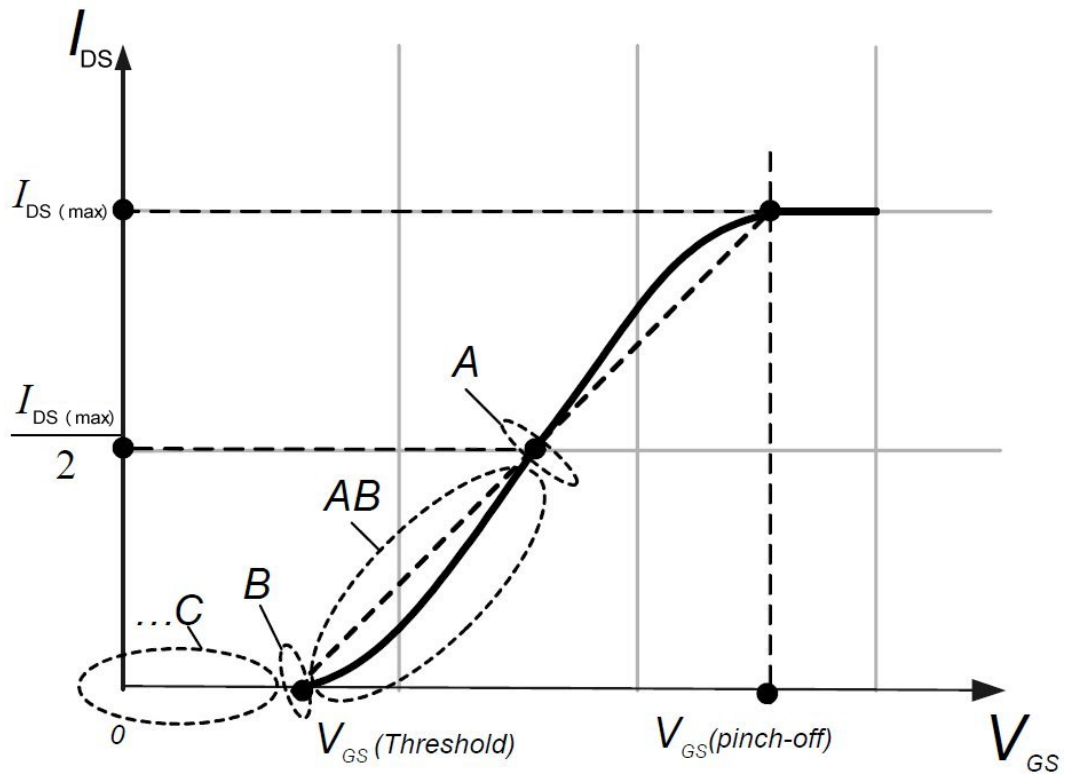


Abb. 2.11: Einordnung der verschiedenen Klassen von Leistungsverstärkern anhand einer Transferkennlinie.

4. *Klasse C* : Verstärker dieser Klasse könnten theoretisch eine Effizienz von 100 % erreichen. Jedoch ist der Anstieg der Effizienz begleitet von einer Verringerung der Ausgangsleistung und einem stark nichtlinearen Verhalten für diese Art von Verstärker.

Kapitel 3

Der Integrationsprozess

3.1 Der 0.13 μm -SiGe:C-BiCMOS-Prozess

Die in dieser Arbeit beschriebene Entwicklung von LDMOS-Transistoren erfolgte auf Basis der 0.13 μm -SiGe:C-BiCMOS-Technologie des IHP. Im Folgenden werden Elemente dieser Technologie beschrieben, die für die Realisierung der LDMOS-Transistoren relevant waren. In Abbildung 3.1 ist der Ablauf des BiCMOS-Prozesses schematisch dargestellt.

Die Technologie nutzt Si-Wafer mit 200 mm Durchmesser, die mittels Czochralski-Verfahren hergestellt werden. Auf dem Siliziumsubstrat, welches einen spezifischen Widerstand von 50 Ωcm hat, befindet sich eine schwach p-dotierte Epitaxieschicht mit einer Dicke von ca. 3.75 μm . Die Dotierung der Epitaxieschicht beträgt ca. $5 \cdot 10^{14} \text{ cm}^{-3}$.

Der Prozessablauf beginnt mit der Strukturierung der aktiven Regionen und der Herstellung flacher (ca. 500 nm) und mit Oxid verfüllter Isolierungsgebiete (STI). Darauf folgen mehrere Wannenimplantationen, in welcher die n- und p-dotierten CMOS-Wannen sowie eine tiefe n-Wanne realisiert werden. Die tiefe n-Wanne ermöglicht die Herstellung von isolierten NMOS-Transistoren und wird als Kollektor für Hochvolt-HBTs genutzt.

Der BiCMOS-Prozess nutzt zwei unterschiedlich dicke Gateoxide. Ein ca. 2 nm dickes Oxid wird zur Herstellung von CMOS-Transistoren mit einer minimalen Gatelänge von 130 nm und einer Versorgungsspannung von $|V_{DD}|=1.2 \text{ V}$ genutzt. Mit einem dickeren Oxid von ca. 7 nm werden CMOS-Transistoren realisiert, die mit einer Spannung von $|V_{DD}|=3.3 \text{ V}$ arbeiten. Beide Transistortypen nutzen die selbe Polysiliziumschicht als Gates, welche durch die spätere Source/Drainimplantation hochdotiert wird.

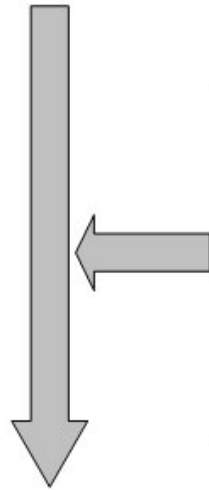
Nach der Polysilizium-Abscheidung und der Strukturierung der CMOS-Gates werden erste Spacer an den Gatekanten erzeugt. Mit den nun folgenden Abscheidungen von Oxid- und Nitridschichten beginnt der HBT-Modul. Die Schichten dienen dabei den CMOS-Elementen als Schutz vor Nassätzschritten während der Integration der bipolaren Transistoren. Der HBT-Modul beinhaltet sechs Maskenschritte und drei

CMOS

- Strukturierung aktiver Gebiete (Shallow Trench Isolation)
- **3-fache Wannen Implantation**
(n-Wanne, p-Wanne, tiefe n-Isolierung)
- 2-fache Gate-Oxidation
- Gate Poly - Silizium Abscheidung und Strukturierung
- Realisierung der Gate-Spacer

HBT - Modul

- Schutzschichten (Oxid, Nitrid) für CMOS
- 6 Masken HBT Modul
- 3 Epitaxieschritte:
 - (1) Basis - Epitaxie
 - (2) in-situ As-dotierter, monokristalliner Emitter
 - (3) selektive, in-situ B-dotierte erhöhte Basis Region



- Source/Drain und Gate-Implantation
- Entfernung der Gate-Spacer
- **Source/Drain Anschlußgebiet (LDD) für 3.3V CMOS**
- **Source/Drain Anschlußgebiet (HDD) und Halo für 1.2V CMOS**
- **Realisierung des Salicide-Blocker/finale Gate-Spacer**
- Cobalt Salizierung
- 5 feinstrukturierte Al Ebenen
- MIM Kapazität
- 2 dicke Top Metalebenen (Al)

Abb. 3.1: Schematische Darstellung des 0.13 μm BiCMOS Prozesses

Epitaxieschritte sowie verschiedene Abscheidungen, Trocken- und Nassätzschritte. Detailliertere Informationen zum HBT-Modul findet man in [1, 49].

Nachdem die Schutzschichten von den CMOS-Gebieten entfernt wurden, werden die Source/Drainimplantationen realisiert. Anschließend werden die Spacer nasschemisch entfernt und die Drainanschlussgebiete (LDD) implantiert. Diese LDD-Implantationen erzeugen bei den 3.3 V-Transistoren schwächer dotierte n- bzw. p-Regionen zwischen den Gatekanten und den hochdotierten Drain/Sourcegebieten. Bei den 1.2 V-Transistoren wird neben einer HDD-Implantation (heavily-doped-drain) ein zusätzliches Halo-Gebiet implantiert, das von gleicher Dotierung ist wie die entsprechende Wanne (pHalo beim 1.2 V-NMOS und nHalo beim 1.2 V-PMOS). Beide Implantationen (HDD und Halo) werden in einem Maskenschritt realisiert. Die

HDD-Implantation dient der Reduzierung des Anschlusswiderstandes, während die Halo-Implantation die Dotierungskonzentration im Kanalgebiet erhöht und Kurzkanaleffekte unterdrückt, wie sie bei Technologiegenerationen unter $0.25\ \mu\text{m}$ hinreichend bekannt sind [21, 50]. Die Implantationen der LDD- und HDD/Halo-Gebiete sind aufgrund der geringen Energien selbstjustiert zu den Gatekanten. Dabei sind die Implantationsenergien für diese Regionen so gewählt, dass das Polysilizium die Dotierung des Kanalgebietes unterhalb des Gates verhindert.

Nachdem die LDD- und HDD/Halo-Regionen implantiert wurden, werden die finalen Spacer realisiert. Die Strukturierung der Spacer-Nitridsschicht erfolgt über eine Maske und erlaubt die Erzeugung von nicht silizierten Polysiliziumwiderständen. An den Gatekanten der CMOS-Transistoren werden Nitridspacer von ca. 70 nm Breite erzeugt. Ein kurzer Hochtemperaturschritt (Rapid Thermal Anneal - RTA) aktiviert die Dotanden der CMOS-Transistoren und schließt das sogenannte *Front-End-Of-Line* (FEOL) ab.

Das *Back-End-Of-Line* (BEOL) beinhaltet fünf feinstrukturierte Aluminiumebenen und abschließend zwei dickere Metallebenen, ebenfalls aus Aluminium. Die beiden oberen Metalllagen haben Dicken von 2 bzw. $3\ \mu\text{m}$ und ermöglichen so z.B. die Realisierung von Spulen hoher Güte.

3.2 Die 3.3 V-CMOS-Transistoren

Ausgangspunkt für die in dieser Arbeit vorgestellten LDMOS-Transistoren sind die 3.3 V-CMOS-Transistoren des $0.13\ \mu\text{m}$ -BiCMOS-Prozesses. Aus diesem Grund soll zuerst deren Aufbau und Verhalten diskutiert werden.

3.2.1 Dotierungsprofile

Abbildung 3.2 zeigt die relevanten Dotierungsprofile der 3.3 V-CMOS-Transistoren. Die Profile wurden nach dem finalen Hochtemperaturschritt am Ende des FEOL mittels Sekundärionenmassenspektroskopie (SIMS) gemessen. Die Konzentrationsmaxima der Hochdosisimplantationen liegen bei Tiefen von $R_p < 50\ \text{nm}$ und ihre maximale Konzentration beträgt $\approx 1 \cdot 10^{21}\ \text{cm}^{-3}$. In lateraler Richtung sind diese hohen Konzentrationen durch die Spacer vom Gate getrennt.

Die in Abbildung 3.2 gezeigten Anschlussimplantationen wurden unter einem Winkel von 20° realisiert und liefern maximale Konzentrationen von ca. $2 \cdot 10^{18}\ \text{cm}^{-3}$. Die Wahl der Implantationsbedingungen ist eng mit der Integration der in dieser Arbeit vorgestellten LC-LDMOS-Transistoren verbunden und wird in Kapitel 5.1 diskutiert.

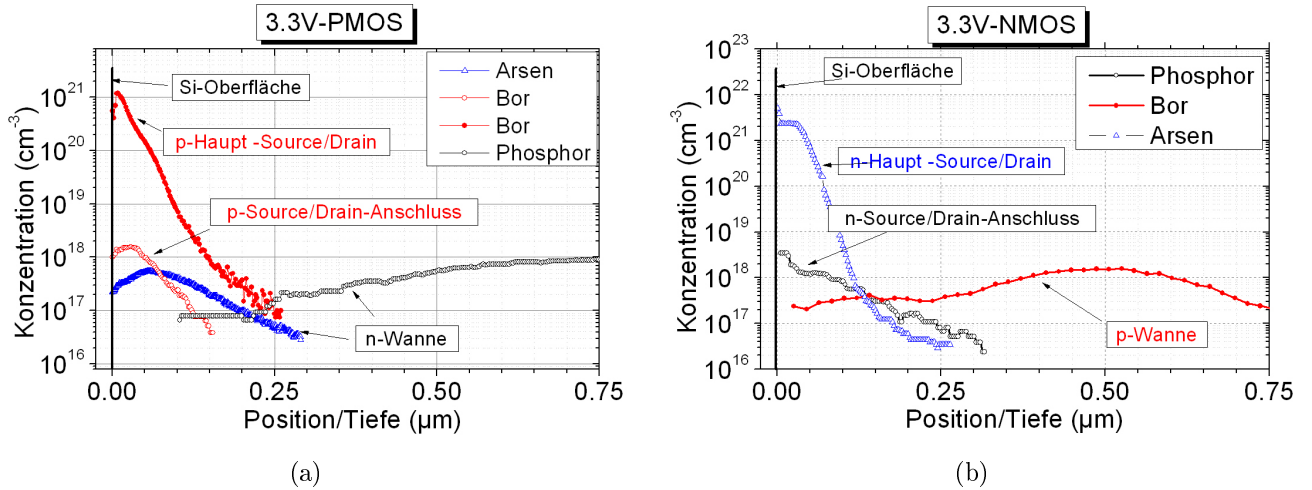


Abb. 3.2: Dotierungsprofile der Source/Drain- und Wannenimplantationen für den 3.3 V-PMOS (a) und den 3.3 V-NMOS-Transistor (b).

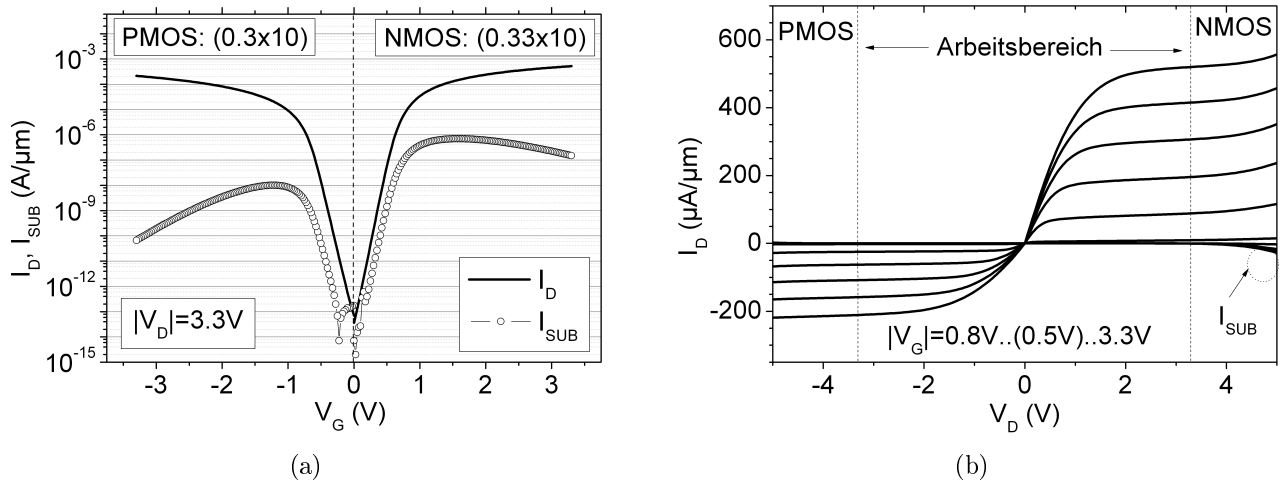


Abb. 3.3: Transfer- (a) und Ausgangskennlinienfeld (b) der 3.3 V-CMOS Transistoren mit Gat-längen von 0.3 μm (PMOS) bzw. 0.33 μm (NMOS) und gleicher Gateweite von 10 μm.

3.2.2 Elektrische Charakteristika

Abbildung 3.3 zeigt die Transfer- und Ausgangskennlinien für die zwei Arten von 3.3 V-CMOS-Transistoren. Die Transferkennlinien wurden mit einer Spannung von $|V_D|=3.3$ V gemessen. Die Maxima der Substratsröme I_{SUB} liegen für P- und NMOS bei $V_G=-1.2$ V bzw. $V_G=1.6$ V. Sie sind ein direktes Maß für die durch Stoßionisation generierten Ladungsträger. Mit steigender Drainspannung erhöht sich der Substratstrom. Dies führt zur Degradation spezifischer Transistorparameter. Untersuchungen der NMOS-Transistoren hinsichtlich ihrer Langzeitstabilität unter Hochspannungsstress zeigten, dass nur für Spannungen unter $V_{DD,max} \approx 3.3$ V die üblichen Kriterien für die Langzeitstabilität erfüllt sind (Änderung der Bauelementeparameter unter 10% in 10 Jahren). Dies ist der Hauptgrund, der eine Anwendung der 3.3 V-Transistoren bei größeren Spannungen verhindert. Bei der Realisierung von

Hochvoltelementen muss es demnach gelingen, die resultierende Spannung an der drainseitigen Gatekante auf ca. 3 V zu begrenzen.

Betrachten wir nun die pn-Übergänge und deren elektrische Durchbrüche in den zwei MOS-Transistoren. Abbildung 3.4 zeigt die Ströme im ausgeschalteten Zustand ($V_G=0V$) für 3.3 V-NMOS- und PMOS-Transistoren, bei denen die Drainspannung V_D sukzessive erhöht wurde. In beiden Fällen steigt der Strom zwischen dem Drain und der Wannenregion (Substrat) an. Der Grund dafür ist, dass es durch die ansteigende Drainspannung zur Inversion in dem vom Gate überlappten Drainanschlussgebiet (LDD) kommt. Dadurch kommt es zu starken Bandverbiegungen in diesem Bereich und ein ansteigender Strom durch zunehmendes Band-zu-Band-Tunneln ist zu beobachten [51,52]. Dieser Effekt ist als gateinduzierter Drain-Leckstrom bekannt (GIDL) (siehe [21] S. 99). Für N- und PMOS-Transistoren führt dies zu einem Leckstrom zwischen Drain und Wannenregion, wenn die Drainspannung betragsmäßig größer als 5 V ist. Wird die Drainspannung weiter erhöht, kommt es beim PMOS bei $V_D \approx -8 V$ und beim NMOS bei $V_D \approx 10.5 V$ zum Lawinendurchbruch der pn-Übergänge.

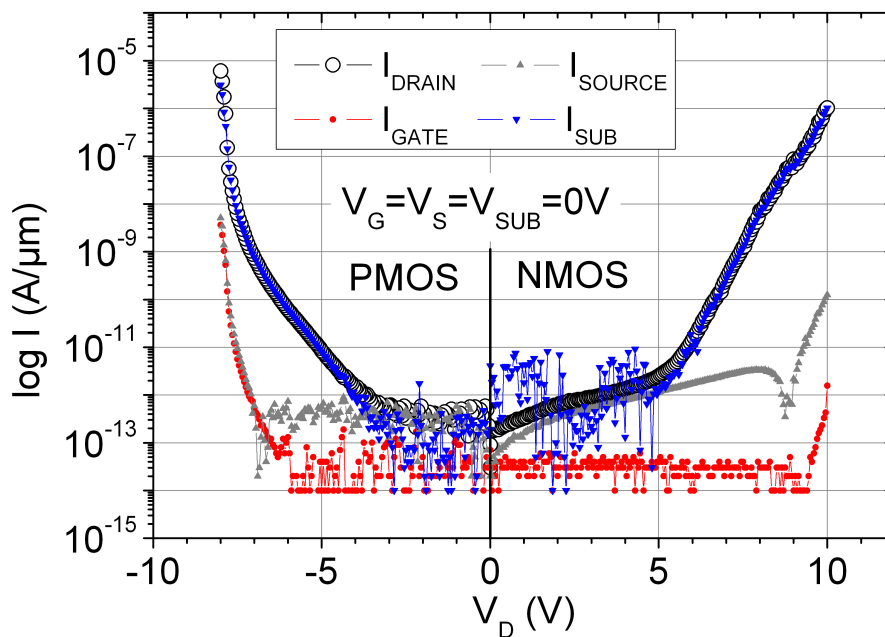


Abb. 3.4: Sperrkennlinien der 3.3 V-CMOS Transistoren mit Gatllängen von $0.3 \mu m$ (PMOS) bzw. $0.33 \mu m$ (NMOS) und gleicher Gateweite von $10 \mu m$.

Abbildung 3.5 zeigt die Sperrkennlinien der reinen Drain-Wannendiode ohne den Einfluss der LDD-Gebiete oder des Gates. Da der gateinduzierte Leckstrom für diese Dioden keine Relevanz hat, ist der exponentielle Anstieg der Leckströme bei diesen Dioden deutlich kleiner und der harte Lawinendurchbruch erfolgt bei $|V_D| \approx 11 V$. Aus den bisherigen Betrachtungen kann man drei Schlußfolgerungen ziehen:

1. Die vertikalen pn-Übergänge begrenzen die maximale Drainspannung auf $|V_D|=11 V$.

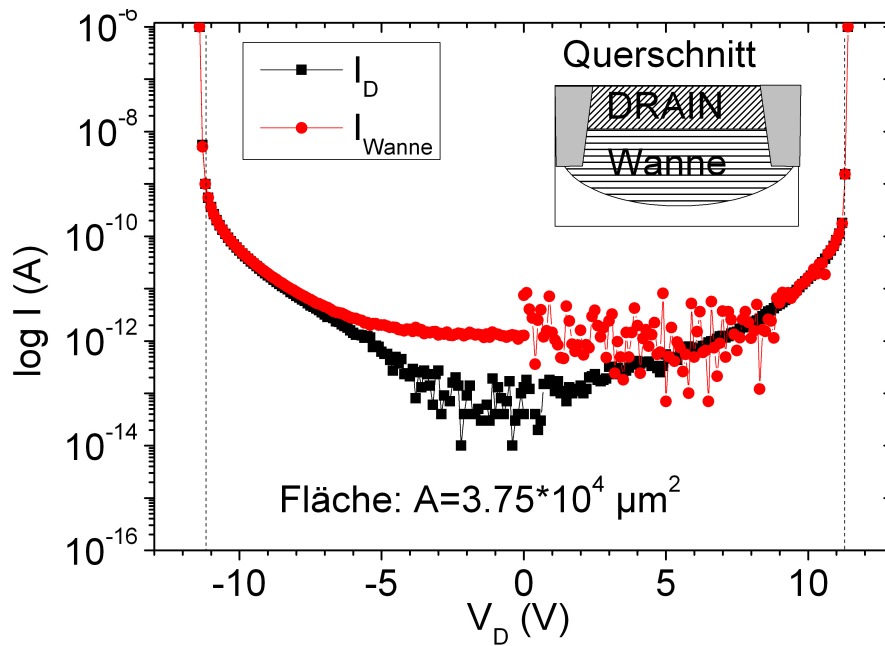


Abb. 3.5: Sperrkennlinien der vertikalen Drain-Wannen-Diode in den 3.3 V-PMOS und NMOS Transistoren

2. Ein durch das Gate induzierter Drain-Leckstrom (GIDL) begrenzt die Anwendung der Basis-CMOS-Transistoren für $|V_D| > 5$ V.
3. Eine geringe zeitliche Drift der Transistorparameter ist nur für Spannungen an der drainseitigen Gatekante von $|V_D| \leq 3.3$ V gewährleistet.

Die gemessenen Kennlinien aus den Abbildungen 3.3-3.5 beziehen sich auf NMOS-Transistoren mit einer Dosis der Drainanschlussimplantationen (LDD) von $D_{n-LDD} = 1.4 \cdot 10^{13} \text{ cm}^{-2}$ bzw. PMOS-Transistoren mit $D_{p-LDD} = 9 \cdot 10^{12} \text{ cm}^{-2}$. Die Wahl der LDD-Implantationsdosen war an bestimmte Randbedingungen geknüpft. Einerseits sollte die LDD-Dosis möglichst groß sein, um geringe Anschlusswiderstände zu realisieren und andererseits musste die Dosis klein genug sein, um langzeitstabile Transistoren zu ermöglichen. Verschiedene Dosisvariationen der Anschlußgebiete wurden realisiert und deren Auswirkung auf die Basis-CMOS-Transistoren untersucht. Abbildung 3.6 zeigt den Sättigungsstrom I_{DS} und den Leckstrom I_{DL} eines NMOS-Transistors in Abhängigkeit der n-LDD-Dosis. Der Sättigungsstrom sinkt mit abnehmender Dosis um ca. $50 \mu\text{A}/\mu\text{m}$ wenn die Dosis um $1 \cdot 10^{13} \text{ cm}^{-2}$ reduziert wird. Die Leckströme bleiben unbeeinflusst von diese Variationen. Stabilitätsuntersuchungen der NMOS-Transistoren zeigten, dass eine Dosis über $\approx 1.8 \cdot 10^{13} \text{ cm}^{-2}$ keine langzeitstabilen Bauelemente, bezüglich der Injektion heißer Ladungsträger, liefert.

Das Prozessfenster für die Wahl der p-LDD-Implantationen ist durch andere Bedingungen beschränkt. Die dargestellten Messungen in Abb. 3.4 und 3.5 beziehen sich auf 3.3 V-PMOS Transistoren mit einer Dosis der p-LDD-Implantation von

$9 \cdot 10^{12} \text{cm}^{-2}$. Bei höheren p-LDD-Dosiswerten kommt es zu verstärkten, gateinduzierten Drain-Leckströmen (GIDL).

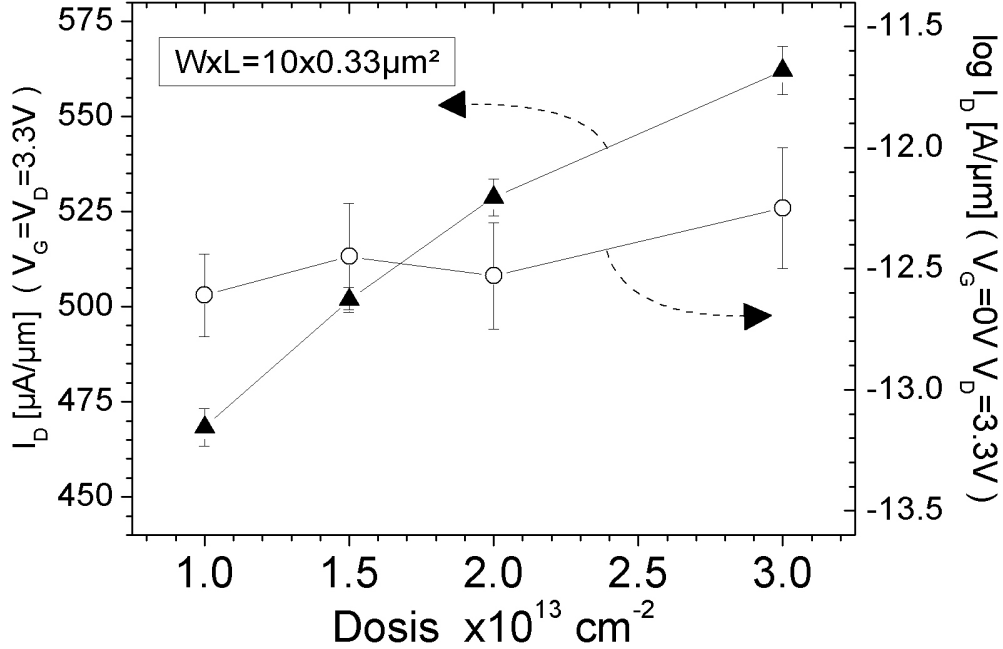


Abb. 3.6: Drainstrom I_D im eingeschalteten (gefüllte Symbole) und ausgeschalteten Zustand (offene Symbole) des 3.3 V-NMOS in Abhängigkeit der Dosis der Drainanschlusssimulation.

3.3 Integration von LDMOS-Transistoren in die 0.13 μm -BiCMOS-Technologie

Der 0.13 μm SiGe:BiCMOS-Prozess des IHPs benötigt zur Herstellung der CMOS-Transistoren, des HBT-Moduls, verschiedener passiver Komponenten und der sieben Metallebenen insgesamt 35 Maskenschritte. Für die Integration von LDMOS-Bauelementen in diesen Prozess sollten zwei wesentliche Randbedingungen erfüllt werden. Zum einen sollte die Komplexität des Standardprozesses nicht wesentlich erhöht werden und zum anderen sollte die Integration modular sein und keinen Einfluss auf die bestehenden CMOS- und Bipolar-Bauelemente haben.

In einem ersten Integrationskonzept werden komplementäre LDMOS-Transistoren realisiert, die mit Hilfe eines zusätzlichen Maskenschrittes je Transistortyp und verschiedener Implantationen hergestellt werden. Dieses Konzept erlaubt eine unabhängige Optimierung der Driftregionen für N- und PLDMOS-Transistoren. Diese Art der Transistoren wird als LDMOS-I bezeichnet.

Ein weiteres in dieser Arbeit entwickeltes Integrationskonzept für Hochfrequenz-LDMOS-Transistoren, beruht nur auf bereits vorhandenen Schritten aus dem

CMOS-Prozess. Es existieren bereits Technologien, in denen LDMOS-Transistoren mit Hilfe der CMOS-Wannen als Driftregion realisiert wurden [16, 53]. Da die CMOS-Wannen der $0.13\mu\text{m}$ -BiCMOS-Technologie des IHP vergleichsweise hohe Dotierungskonzentrationen mit Maximalwerten von ca. $1 \cdot 10^{18} \text{cm}^{-3}$ haben (siehe Abb. 3.2), wurde dieser Ansatz nicht verfolgt. Zur Realisierung der in dieser Arbeit vorgestellten LC-LDMOS-Transistoren wird die Kombination der LDD-Implantationen der 3.3 V-CMOS-Transistoren genutzt. Eine Optimierung der Driftregion ist damit nur bedingt möglich, da sie unmittelbaren Einfluss auf das Verhalten der Basis-CMOS-Transistoren hat.

Bei der Entwicklung der LDMOS-Transistoren mussten Möglichkeiten gefunden werden, die Konzentrationsgradienten an den verschiedenen pn-Übergängen durch geeignete geometrische Maßnahmen zu verkleinern, um die elektrischen Felder zu reduzieren. Zudem waren die Driftregionen für beide Typen von LDMOS-Transistoren (LDMOS-I und LC-LDMOS) so zu realisieren, dass sie einen hinreichend großen Spannungsabbau vom Drainanschluß zur Gatekante ermöglichen, um eine ausreichende Langzeitstabilität der Transistoren zu gewährleisten. Abbildung 3.7 zeigt den prinzipiellen Querschnitt der NLD MOS-Transistoren, die in dieser Arbeit realisiert wurde.

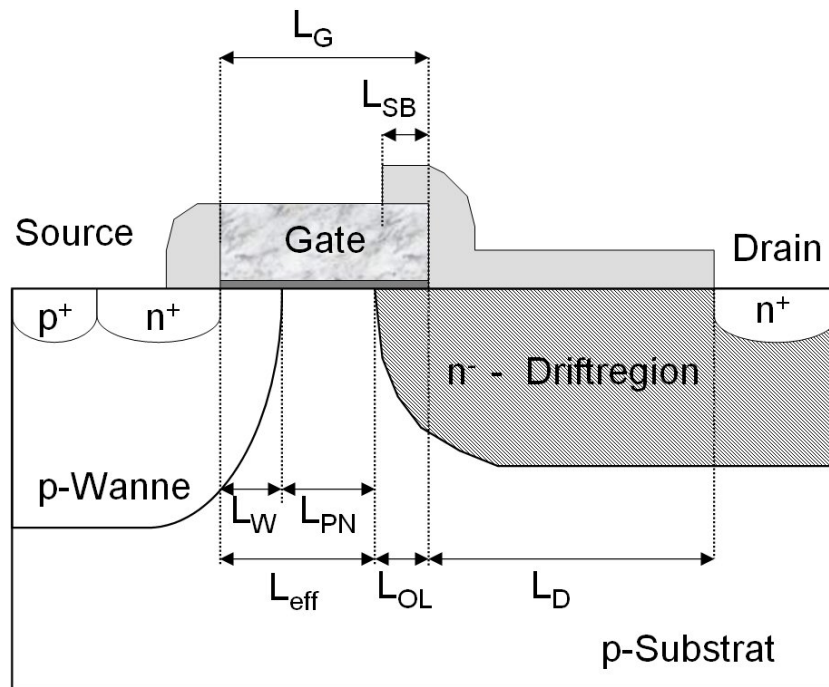


Abb. 3.7: Prinzipieller Aufbau der im IHP entwickelten NLD MOS-Transistoren mit den wichtigsten geometrischen Parametern

Die vorgestellten LDMOS-Transistoren nutzen das 7 nm dicke Gateoxid. In Abb. 3.7 sind die wesentlichen geometrischen Parameter gezeigt, die das Verhalten der Transistoren bestimmen. Die Driftlänge L_D entspricht dem unsilizierten Gebiet bzw. dem Bereich des Transistors, in dem die hochdotierte Source-Drainimplantation geblockt

wurde. Bei den LDMOS-I-Transistoren ergibt sich bedingt durch die Herstellung des Driftgebietes eine Überlappung zwischen Gate und Driftregion L_{OL} . Die gesamte Driftlänge $L_{D,G}$ ergibt sich dann zu $L_{D,G} = L_D + L_{OL}$.

3.3.1 Konstruktion der Sourceseite

Betrachtet man die Schwellspannungswerte der CMOS-Transistoren in Abhängigkeit von der Gatelänge L_G , ergibt sich das in Abbildung 3.8 dargestellte Bild. Für Gatelängen unter $0.35\mu\text{m}$ ist ein starker Abfall der Schwellspannung, aufgrund von Kurzkanaleffekten, zu beobachten. Außerdem steigen die Leckströme zwischen Drain und Source für Gatelängen $< 0.33\mu\text{m}$ stark an.

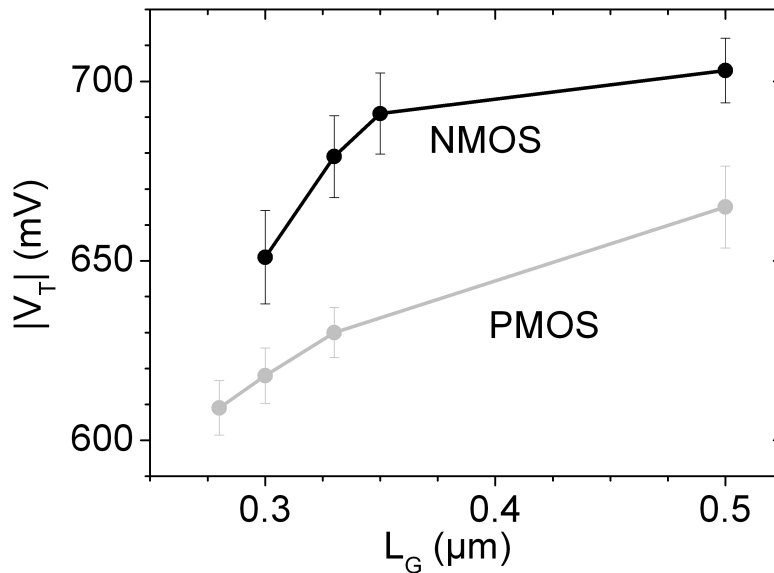


Abb. 3.8: Schwellspannung V_T der 3.3V-CMOS Transistoren für verschiedene Gatelängen

Nutzt man für die Realisierung von LDMOS-Transistoren in der $0.13\mu\text{m}$ -Technologie nur die Wannenimplantation zum Einstellen der inneren Transistorparameter, ergibt sich demnach eine minimale Überdeckung von Gate und Wanne von $L_W > 0.35\mu\text{m}$, um reproduzierbare Schwellspannungen und geringe Leckströme ermöglichen zu können. Aufgrund der hohen Energien für die Wannenimplantationen wird ein Photolack von ca. $2\mu\text{m}$ Dicke verwendet. Die Ungenauigkeit der lateralen Position der Lackkante beträgt $\pm 30\text{ nm}$. Berücksichtigt man diese Ungenauigkeit, sollte sogar ein L_W -Wert von $0.38\mu\text{m}$ das Minimum zum Erreichen reproduzierbarer Parameter sein.

Eine Möglichkeit, die Kanalregion homogen zu dotieren, ist die Ausdehnung des Wannengebietes bis in die Driftregion [54]. Damit werden Dotierungsvariationen unter dem Gate ausgeschlossen. In diesem Fall vergrößert sich jedoch der Konzentrationsgradient zwischen Wanne und dem erweitertem Draingebiet an der drainseitigen

Gatekante, was wiederum höhere laterale E-Felder verursacht. Dadurch werden die Bauelemente empfindlicher für die Injektion heißer Ladungsträger. Zudem sollten auch dann Gatelängen unter $0.35\ \mu\text{m}$ nicht verwendet werden, da es sonst zu einem starken Anstieg des Leckstromes kommt.

Die Verwendung von Haloimplantationen an der sourceseitigen Gatekante ist eine andere Möglichkeit, die Kanaldotierung zu realisieren [12, 18]. Dadurch kann die Maskenkante der Wannenimplantation bis in die Sourceregion zurückgezogen werden. Über eine zusätzliche selbstjustierte Implantation an der Sourceseite (Halo), der die Kanaldotierungskonzentration erhöht, wird dann die Schwellspannung des Transistors eingestellt. Bei der Integration der in dieser Arbeit vorgestellten LDMOS-Transistoren sollte das ohne ergänzende Schritte zum BiCMOS-Ablauf erfolgen. Die Kombination aus den Basis-CMOS-Wannen und den Halo-Implantationen der 1.2 V-CMOS-Transistoren an der sourceseitigen Gatekante machte dies möglich. Durch diese Kombination entsteht ein stark inhomogenes Kanalprofil, was sich positiv auf Gleichstromparameter wie z.B. g_m auswirkt. Außerdem sind mit dieser Methode kürzere Gatelängen als $0.35\ \mu\text{m}$ realisierbar. Das verbessert entscheidend die Hochfrequenzparameter f_T und f_{max} .

Durch die zur Sourceseite hin zurückgezogene Wannenpositionen vergrößert sich auch der Abstand L_{PN} zwischen Wanne und Driftgebiet. Dadurch sinkt der Konzentrationsgradient an diesem pn-Übergang und die elektrische Feldstärke reduziert sich deutlich. Dies führt wiederum zu höheren Durchbruchspannungen und zu einer verbesserten Langzeitstabilität der Transistoren bezüglich der Injektion heißer Ladungsträger [55]. Abbildung 3.9(a) zeigt die durch Bauelementesimulation ermittelten Feldstärken am pn-Übergang zwischen p-Wanne und n-Driftgebiet für verschiedene Abstände L_{PN} . Die Driftregion hat hier eine Dosis von $D_{n-Drift}=5\cdot 10^{12}\ \text{cm}^{-2}$. Für das p-Gebiet wurden die gemessenen SIMS-Profile der p-Wanne des $0.13\ \mu\text{m}$ -BiCMOS-Prozesses genutzt, die für die Simulation durch analytische Funktionen angenähert wurden (Abb. 3.9(b)).

Bei einem Abstand von $L_{PN}=0.2\ \mu\text{m}$ sinkt die Feldstärke bereits um ca. 30 % im Vergleich zu $L_{PN}=0$. Die Vergrößerung von L_{PN} ist bei einer gegebenen Gatelänge L_G aber nicht beliebig weit fortzusetzen, da es sonst zu verstärkten Durchgriffen zwischen Source und Draingebiet kommen kann (Punch-Through).

Für die in der $0.13\ \mu\text{m}$ -Technologie genutzten Wannen- und Haloimplantationen konnte in den LDMOS-Transistoren die Position der CMOS-Wannen bis an die sourceseitige Gatekante zurückgezogen werden. Die Konstruktion der Sourceseite aus Wannen- und Haloimplantation ist für alle in dieser Arbeit vorgestellten LDMOS-Transistoren gleich (LDMOS-I und LC-LDMOS).

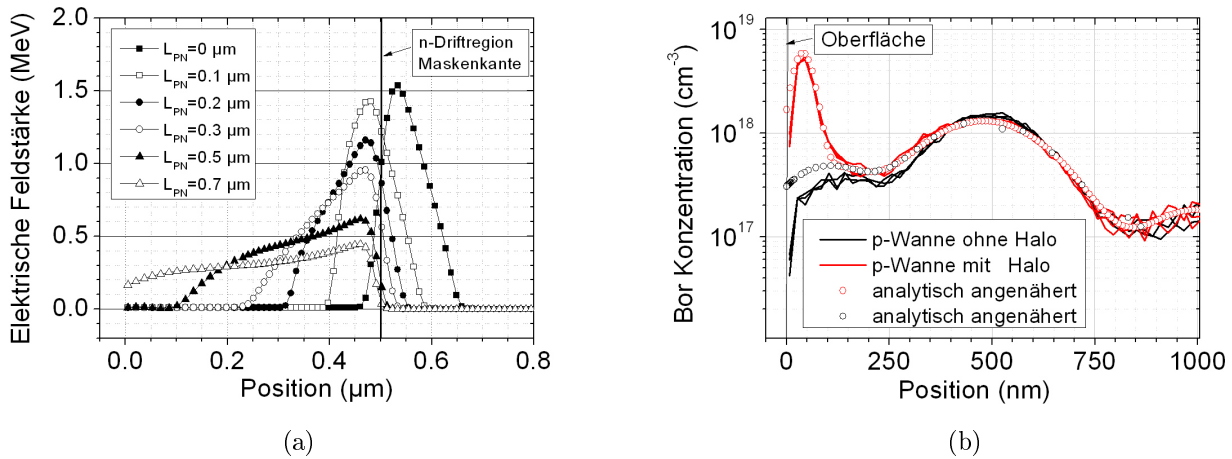


Abb. 3.9: Betrag der elektrischen Feldstärke am pn-Übergang zwischen p-Wanne und n-Driftgebiet für verschiedene Abstände L_{PN} eines NLDMOS-Transistors (a) (bei $V_G=0\text{ V}$, $V_D=15\text{ V}$). Gemessene und für die Bauelementesimulation angenäherte Dotierungsprofile der p-Wannengebiete (b).

3.3.2 Einfluss technologischer Parameter

Variationen der Wannenposition L_W

Die Dotierungsprofile der in dieser Arbeit vorgestellten LDMOS-Transistoren werden vor allem durch Ionenimplantationen erreicht. Während des Prozesses kommt es durch thermische Belastungen, wie z.B. der Gate-Oxidation, der Poly-Silizium-Reoxidation oder der Abscheidung der Spacer-Nitritschicht zur Diffusion der implantierten Dotierungsprofile. Wie beschrieben, wird das Kanalprofil der LDMOS-Transistoren durch die Verwendung der CMOS-Wannenimplantationen und der Haloimplantationen der 1.2 V-CMOS-Transistoren realisiert. Das unter einem Winkel implantierte Halogebiet ist dabei selbstjustiert zur sourceseitigen Gatekante. Die Position der Wannenmasken ist dagegen abhängig von der Justagegenauigkeit der Photolithographie. Die CMOS-Wannenimplantationen werden zu Beginn des BiCMOS-Prozesses realisiert und sind daher allen weiteren thermischen Belastungen ausgesetzt. Da das Bor der p-Wanne stärker diffundiert als das vergleichbare Arsen der n-Wanne, beschränken sich die Untersuchungen des Einflusses der Wanneposition L_W auf einen NLDMOS-Transistor. Die Implantationsenergien für die Driftregion sind in diesem Fall so gewählt, dass sie selbstjustiert zur drainseitigen Gatekante ist. Das Driftgebiet wurde mit einer Nettodosis von $D_{n-Drift}=5 \cdot 10^{12} \text{ cm}^{-2}$ implantiert. Dadurch können Dotierungsvariationen im Kanalgebiet, die durch die Driftregion verursacht werden, ausgeschlossen werden. Damit bleibt L_W der technologische Parameter, der die Dotierungskonzentration in der Kanalregion beeinflusst. L_W beschreibt die relative Position der Wanne (Maskenkante) zur sourceseitigen Gatekante.

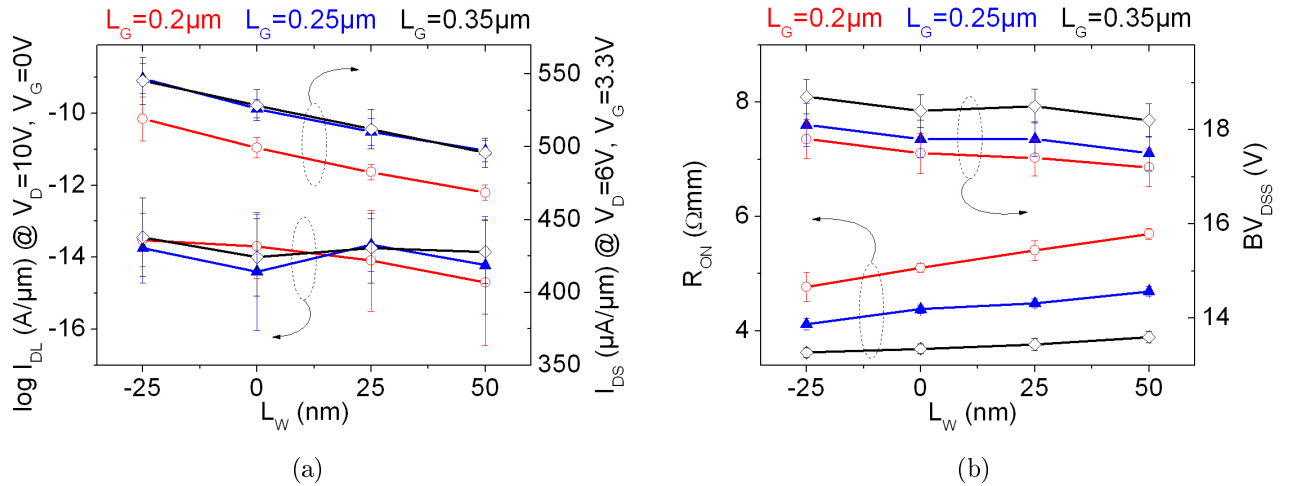


Abb. 3.10: Leckstrom I_{DL} , Drainstrom I_{DS} (a) sowie R_{ON} und BV_{DSS} (b) in Abhängigkeit von der Wannenposition L_W für unterschiedliche Geometrien des LC-NLDMOS-A. Die Driftlänge aller untersuchten Transistoren beträgt $L_D = 0.4\mu\text{m}$

Im Folgenden werden die Auswirkungen der Wannenposition L_W auf die Schwellspannung V_T , Leckströme I_{DL} , den Sättigungsstrom I_{DS} sowie R_{ON} und BV_{DSS} am NLDMOS-Transistor untersucht. Dabei entspricht die Maskenposition der p-Wanne an der sourceseitige Gatekante in den folgenden Betrachtungen einem Wert von $L_W = 0$. Die Driftlänge der untersuchten Transistoren beträgt $L_D = 0.4\mu\text{m}$ während die Gatelängen zwischen $0.2\mu\text{m}$ und $0.35\mu\text{m}$ variieren.

In Abbildung 3.10 sind die wesentlichen Gleichstromparameter in Abhängigkeit von L_W dargestellt. Für die betrachteten Implantationen hängt der Leckstrom I_{DL} nicht von L_W ab und liegt deutlich unter $1\text{pA}/\mu\text{m}$ (Abb. 3.10(a)). Der Sättigungsstrom steigt, wenn L_W kleiner wird. Dies ist auf die Abnahme der Schwellspannung mit kleiner werdendem L_W zurückzuführen (Abb. 3.11(a)). Dementsprechend sinkt auch der Durchlasswiderstand (Abb. 3.10(b)).

Für geringere L_W wird der Kanalanschluss des Driftgebietes an der drainseitigen Gatekante weniger verarmt bzw. kompensiert. Dieser Effekt spiegelt sich auch in den unterschiedlichen Gatelängen wider. Die Transistoren mit $L_G = 0.2\mu\text{m}$ zeigen den geringsten Sättigungsstrom und den höchsten Durchlasswiderstand, da der Einfluss der diffundierten p-Wanne auf das Driftgebiet in diesem Transistor am größten ist (Abb. 3.10(a,b)). Für größere Gatelängen verhalten sich die Ströme nahezu identisch und R_{ON} variiert deutlich mit L_G , hängt aber nur noch geringfügig von L_W ab.

Die Durchbruchspannungen für die verschiedenen Transistoren zeigen ein leichtes Ansteigen für kürzere L_W , was auf das reduzierte elektrische Feld am lateralen pn-Übergang zwischen Driftgebiet und Wanne zurückzuführen ist. Bei gleicher Gatelänge nimmt der Abstand zwischen Wanne und Driftgebiet L_{PN} mit kleinerem L_W zu, was den leichten Anstieg von BV_{DSS} erklärt. Allerdings muss man hier beachten, dass sich das unter einem Winkel von 45° implantierte Halogebiet für alle Varianten

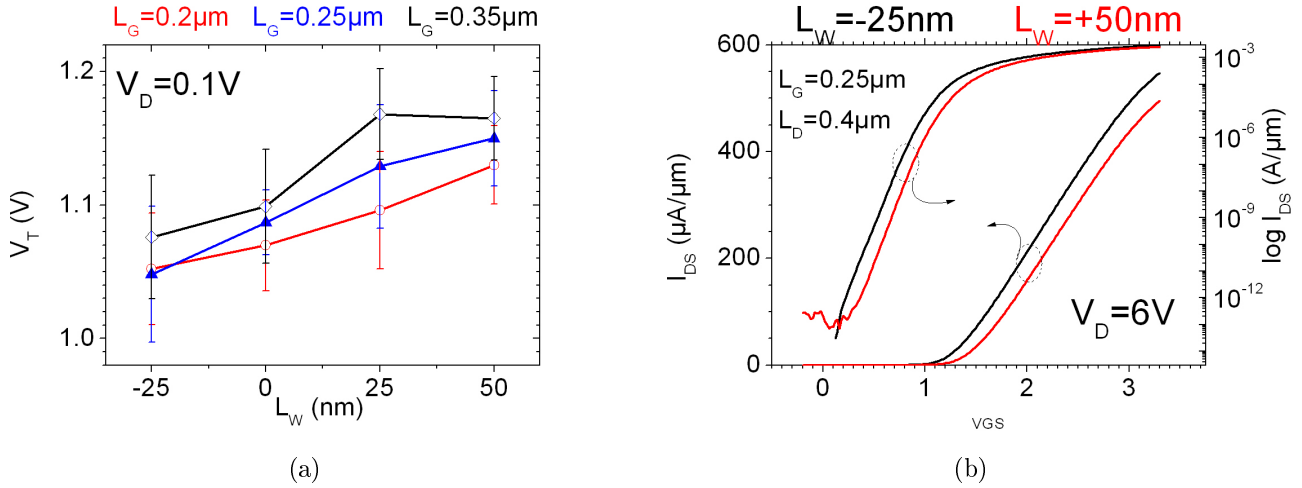


Abb. 3.11: Schwellspannung V_T in Abhängigkeit von L_W und bei unterschiedlichen Geometrien eines NLD MOS-Transistors (a). Transferkennlinien bei $V_D = 6\text{V}$ (b) für Transistoren mit $L_W = -25\text{nm}$ (schwarz) und $L_W = +50\text{nm}$ (rot).

an der gleichen Stelle unter dem Gate befindet und bei einer weiteren Verringerung von L_W den Abstand L_{PN} bestimmt.

Der Sättigungsstrom I_{DS} zeigt für $L_W = -25\text{nm}$ eine höhere Streuung, was auf Durchgriffe (Punch-Through) zwischen Driftgebiet und Source zurückzuführen ist (Abb. 3.10(a)). Darum sollte L_W nicht auf Werte unter $L_W < -25\text{nm}$ reduziert werden. Um die prozessbedingten Variationen der Maskenkante von $\pm 30\text{nm}$ zu berücksichtigen, wurde für die in dieser Arbeit realisierten NLD MOS-Transistoren $L_{W,n} = 0$ gewählt. Beim PLD MOS-Transistor ist die laterale Diffusion der n-Wanne deutlich geringer. Dadurch sind bei einem $L_{W,p} = 0$ schon Durchgriffe zwischen Driftgebiet und Sourceregion zu erkennen. In den PLD MOS-Transistoren wurde aus diesem Grund für $L_{W,p}$ ein Wert von 50nm genutzt. Abbildung 3.11 zeigt abschließend das Verhalten der Schwellspannung für den NLD MOS-Transistor in Abhängigkeit von L_W und bei verschiedenen Drainspannungen. Mit größeren Werten für L_W steigt V_T an. Im Mittel zeigt sie dabei einen Anstieg von $\approx 60\text{mV}/50\text{nm}$.

Einfluss der Position L_{SB} der Silizierungs-Blocker-Maske

Ein weiterer geometrischer Parameter der technologischen Randbedingungen unterliegt, ist die Position L_{SB} der Spacer-Nitridschicht auf dem Gate. Das Nitrid verhindert die Silizierung des Driftgebietes über dem Bereich L_D und ermöglicht die Herstellung von Poly-Silizium-Widerständen. Die Maske für die Nitridätzung überlappt dabei das Gate um den Betrag L_{SB} , um eine Silizierung der Driftregion an der Gatekante zu vermeiden. Mit größerer Überlappung L_{SB} steigt allerdings der Gatewiderstand R_G und f_{max} verschlechtert sich (siehe Gl. (2.37)). Um R_G möglichst gering zu halten, wurde ein Zeichenmass von $L_{SB} = 70\text{nm}$ für die Überdeckung der Nitridschicht mit dem Gate genutzt. Mit kürzeren Gatelängen wird der Einfluss des

unsilzierten Bereiches größer und f_{max} sollte dementsprechend empfindlich auf Variationen der Position L_{SB} reagieren. Untersuchungen zeigten jedoch, das bei einer Gatelänge von $0.2\,\mu\text{m}$ die Variation von f_{max} über den gesamten Wafer nur ca. 0.5% beträgt, wie in Kapitel 5.3 noch gezeigt wird.

Kapitel 4

Drainerweiterung durch Zusatzimplante (LDMOS-I)

4.1 Integration der LDMOS-Transistoren

Viele Integrationskonzepte für komplementäre Hochfrequenz-LDMOS-Transistoren, erfordern zusätzlichen Prozessaufwand zur Herstellung der schwach dotierten Driftregion sowie des Wannengebietes in der sourceseitigen Transistorregion [8, 9, 18]. Ein Ziel bei der Realisierung von komplementären LDMOS-Transistoren in dieser Arbeit war ein möglichst geringer zusätzlicher Aufwand zum Basisprozess. Aus diesem Grund wurde das sourceseitige Transistorgebiet nur durch die Verwendung von Implantationen des Basis-CMOS-Prozesses realisiert. Die Driftregion der LDMOS-I-Transistoren wurde mittels eines zusätzlichen Maskenschrittes je Transistortyp und verschiedener Implantationen hergestellt. Abbildung 4.1 zeigt den Prozessablauf und die erforderlichen Prozessschritte zur Realisierung der LDMOS-I-Transistoren. Die ergänzenden Schritte zur Herstellung der Driftregionen werden vor der Implantation der HDD- und LDD-Gebiete der Basis-CMOS-Transistoren eingeführt.

4.2 Der NLDMOS-Transistor

Konstruktion des Driftgebietes des NLDMOS-Transistors

Ein schematischer Querschnitt des NLDMOS ist in Abbildung 4.2 dargestellt. Das Driftgebiet wird nach der Entfernung der ersten Spacer realisiert und wird durch drei Implantationen hergestellt. Die NLDMOS-Maskenkante bei der Implantation des Driftgebietes hat einen Abstand von $L_{OL}=0.1\text{ }\mu\text{m}$ zur drainseitigen Gatekante. Die LD1-Region wird durch das Gate implantiert, was zu einer Gateüberlappung des Driftgebietes führt. Diese Überlappung bestimmt vor allem die Gate-Drain-Kapazität $C_{GD} \propto L_{OL}$. Das LD2-Gebiet wird aufgrund einer geringeren Implantationsenergie durch das Gate geblockt. Da diese Implantation unter einem Winkel von $\alpha=45^\circ$ realisiert wird, gelangt jedoch ein Viertel der LD2-Dosis unter das Ga-

te. Dadurch wird die Konzentration in dem vom Gate überlappten Bereich erhöht. Das p-Gebiet in der Driftregion nahe der Oberfläche wird durch die Implantation von BF_2 unter einem Winkel von $\alpha=7^\circ$ hergestellt. Die Energien sind so gewählt, dass die Implantation selbstjustiert zur drainseitigen Gatekante ist. Dieses p-Gebiet sorgt für eine zusätzliche, vertikale Verarmung des Driftgebietes. Dadurch reduziert sich das elektrische Feld nahe der Oberfläche [35]. Aufgrund der gewählten Implantationsdosen des BF_2 - und LD2-Gebietes ist das p-Gebiet an der Oberfläche auch bei Spannungen von $V_D=0\text{V}$ verarmt. Welche Auswirkungen das p-Gebiet speziell auf die Langzeitstabilität der NLDMOS-Transistoren hat, wird in Kapitel 4.2.4 diskutiert.

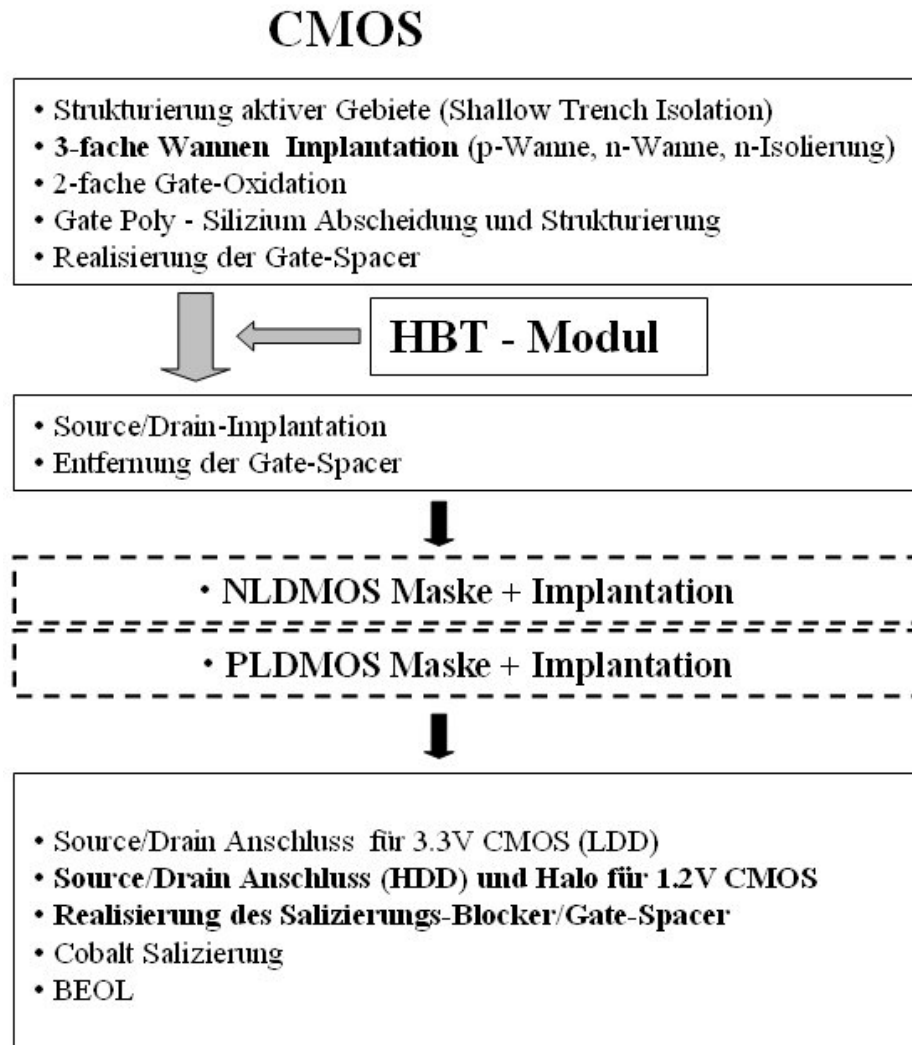


Abb. 4.1: Integrationsschema für LDMOS-I-Transistoren in den $0.13\mu\text{m}$ -BiCMOS-Prozess mit zwei zusätzlichen Maskenschritten. Die hervorgehobenen Prozesssequenzen (fett) werden für die Realisierung der LDMOS-I-Transistoren genutzt.

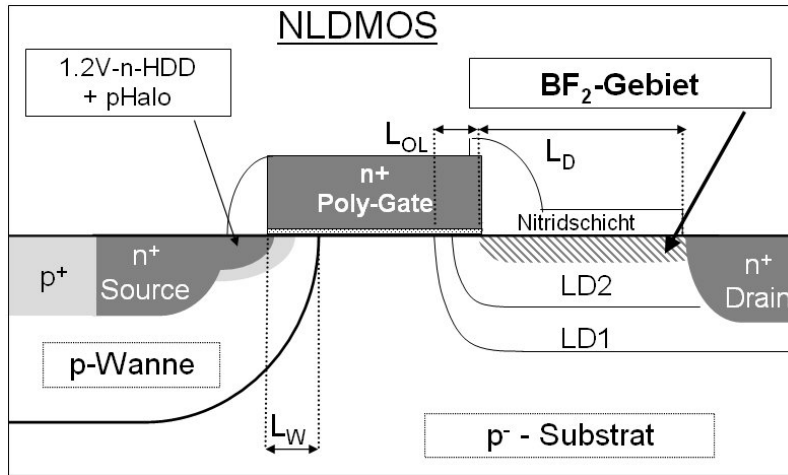


Abb. 4.2: Schematischer Querschnitt des NLD MOS-Transistors. Das Driftgebiet besteht aus einer Folge von drei Implantationen. Das LD1-Gebiet wird durch das Gate implantiert und resultiert in einem gateüberlappten Driftbereich von $L_{OL}=0.1\text{ }\mu\text{m}$. Ein Viertel der LD2-Dosis gelangt durch eine Schrägimplantation unter das Gate. Die flache BF_2 -Implantation ist selbstjustiert zur drainseitigen Gatekante.

4.2.1 Gleichstromverhalten der NLD MOS-Transistoren

Für den NLD MOS-Transistor wurden verschiedene Implantationsvarianten des Driftgebietes untersucht. Abbildung 4.3 zeigt die Durchbruchspannung BV_{DSS} und den Durchlasswiderstand R_{ON} für verschiedene Dosiswerte des LD1-Gebietes. Die LD2- und BF_2 -Implantationen sind für die unterschiedlichen Varianten äquivalent und haben eine Dosis von $D_{LD2}=6\cdot 10^{12}\text{ cm}^{-2}$ und $D_{BF2}=4.2\cdot 10^{12}\text{ cm}^{-2}$. Dargestellt ist die Durchbruchspannung für $V_G=0\text{ V}$.

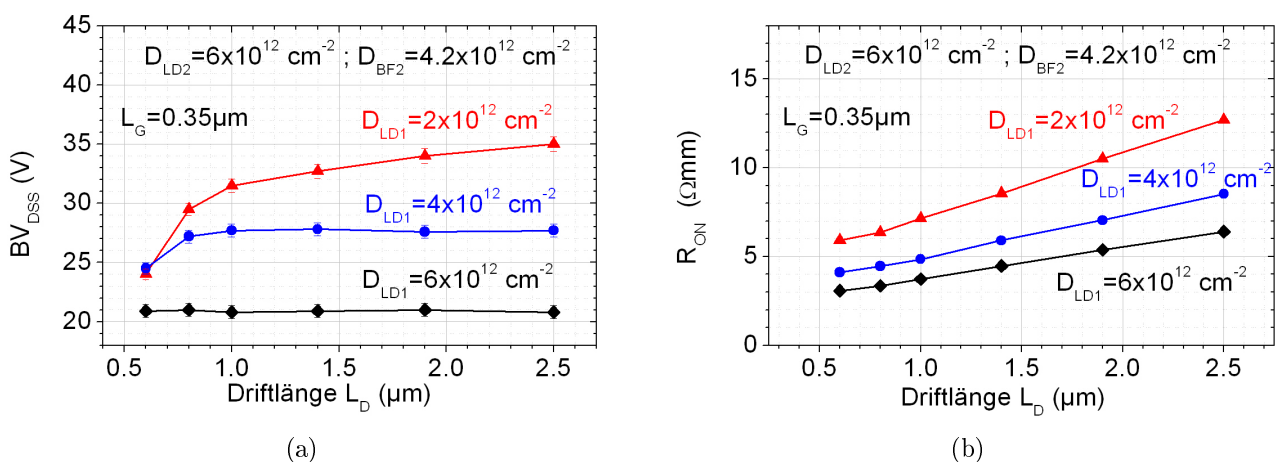


Abb. 4.3: Durchbruchspannung BV_{DSS} (a) und Durchlasswiderstand R_{ON} (b) in Abhängigkeit der Driftlänge L_D und für verschiedene Dosiswerte D_{LD1} der tiefen NLD MOS-Driftimplantation.

Für jede LD1-Dosis steigt die Durchbruchspannung mit zunehmender Driftlänge bis auf einen von der Dosis abhängigen Maximalwert $BV_{DSS,max}$ an. Mit abneh-

mender Dosis steigen $BV_{DSS,max}$ und BV_{DSS} weiter an, wenn die Driftlänge größer als $0.8\text{ }\mu\text{m}$ ist. Bei geringeren Driftlängen ($L_D < 0.8\text{ }\mu\text{m}$) wird die Driftregion schon bei geringeren Sperrspannungen (hier V_D) vollständig verarmt, wenn die Gesamtdosis in der Driftregion $\leq 5 \cdot 10^{12}\text{ cm}^{-2}$ ist (Abb. 4.3(a) blaue/rote Linie). Das elektrische Feld steigt dann proportional mit V_D bis die kritische Feldstärke zum Durchbruch erreicht ist. In diesem Fall ist die Durchbruchspannung für Driftlängen unter $\leq 0.6\text{ }\mu\text{m}$ unabhängig von der LD1-Dosis (siehe Abb. 4.3(a) für $D_{LD1} = 4 \cdot 10^{12}\text{ cm}^{-2}$ und $D_{LD1} = 2 \cdot 10^{12}\text{ cm}^{-2}$ bei $L_D = 0.6\text{ }\mu\text{m}$). Mit abnehmender Dosis des LD1-Gebietes steigt zudem der Durchlasswiderstand des NLD MOS-Transistors gemäß dem Widerstandsgesetz eines elektrischen Leiters linear mit der Driftlänge an (Abb. 4.3(b)).

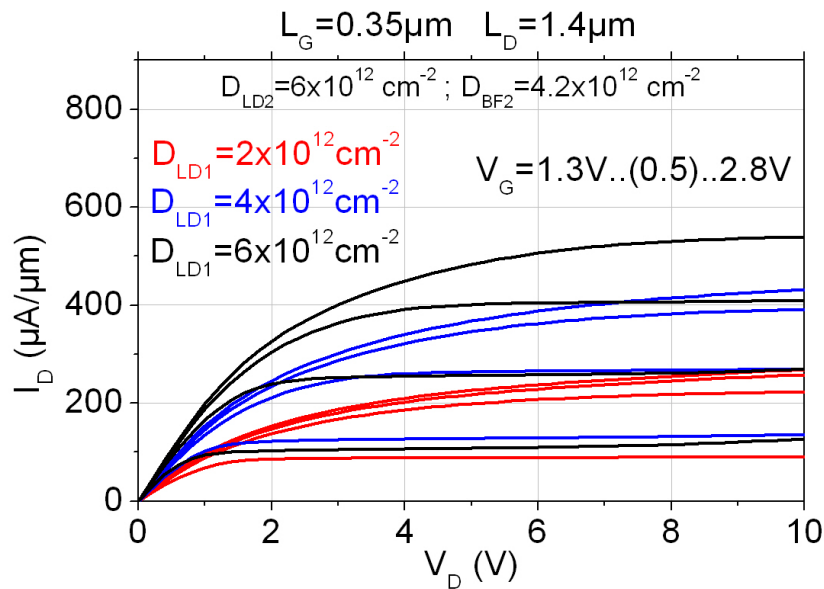


Abb. 4.4: Ausgangskennlinien eines NLD MOS-Transistors mit $L_G = 0.35\text{ }\mu\text{m}$ und $L_D = 1.4\text{ }\mu\text{m}$. Die zunehmende Quasisättigung für eine abnehmende LD1-Dosis ist zu erkennen.

Abbildung 4.4 zeigt die Ausgangskennlinien der NLD MOS-Transistoren für die verschiedenen Dosisvariationen. Die abnehmende Dotierungskonzentration des LD1-Gebietes führt neben der Erhöhung der Durchbruchspannung und des Durchlasswiderstandes auch zur Quasisättigung in den Transistoren. Die Erhöhung der LD1-Dosis reduziert die Quasisättigung deutlich. Für $D_{LD1} > 4 \cdot 10^{12}\text{ cm}^{-2}$ zeigt der Transistor auch bei hohen Gatespannungen keine Reduzierung der Gatesteilheit $g_m = \delta I_{DS} / \delta V_{GS}$. Dementsprechend verbessern sich auch die Hochfrequenzeigenschaften der Transistoren mit einer höheren LD1-Dosis.

Bei der Wahl der LD2-Dosis wurden in Verbindung mit dem BF_2 -Gebiet unterschiedliche Differenzen aus den beiden Implantationsdosen untersucht ($\Delta D = D_{LD2} - D_{\text{BF}_2}$). Dabei variierte die Dosisdifferenz ΔD zwischen $-1.2 \cdot 10^{12}\text{ cm}^{-2} \leq \Delta D \leq 2.6 \cdot 10^{12}\text{ cm}^{-2}$. In diesem Bereich zeigten sich keine deutlichen Unterschiede im Stromverhalten der LDMOS-Transistoren. Abbildung 4.5 zeigt die Ausgangs- und Sperrkennlinien für zwei unterschiedliche Kombinationen der LD2- und BF_2 -Implantationen. Die Ge-

samtdosis im Driftgebiet unterscheidet sich für beide Varianten um $8 \cdot 10^{11} \text{ cm}^{-2}$. Sowohl das Sättigungsverhalten als auch die Durchbruchspannungen werden davon nicht signifikant beeinflusst und verhalten sich für beide Varianten gleich. Eine Verkleinerung der Differenzdosis, d.h. auch der Fall $D_{BF2} > D_{LD2}$, führt in den hier betrachteten Bereichen zu keiner Verbesserung der Langzeitstabilität. Grund dafür ist, dass sich für alle betrachteten Kombination der LD2- und BF₂-Implantationen eine p-dotierte Region nahe der Oberfläche innerhalb der Driftregion ausbildet. Die Wirkungsweise dieses p-dotierten Gebietes ist für alle betrachteten Fälle gleich und wird in Kapitel 4.2.4 diskutiert.

Dennoch bleibt abschließend festzuhalten, dass das elektrische Verhalten der LDMOS-Transistoren hauptsächlich durch die Nettogesamtdotierung der Driftregion bestimmt wird. Eine positive Vergrößerung Differenz $\Delta D = D_{LD2} - D_{BF2}$, d.h. eine höhere n-Dotierung, würde somit den Durchlasswiderstand und die Durchbruchspannungen verringern. Zudem verschlechtert sich die Langzeitstabilität und die maximalen Betriebsspannungen der Transistoren nehmen ab. Nach den bisherigen

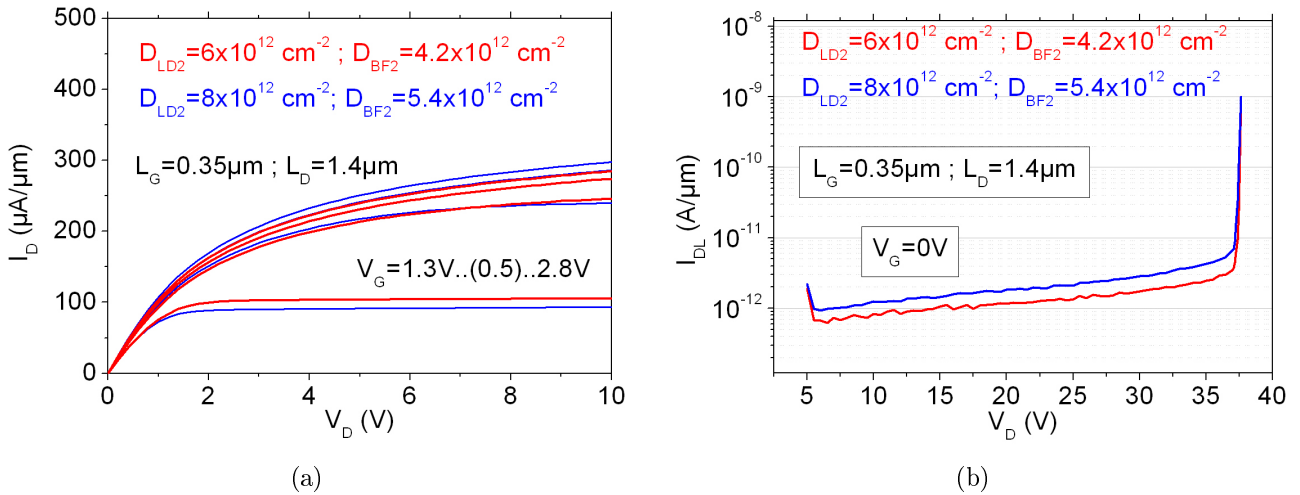


Abb. 4.5: Ausgangs- (a) und Sperrkennlinien (b) eines NLD MOS-Transistors mit $L_G = 0.35 \mu\text{m}$ und $L_D = 1.4 \mu\text{m}$ für unterschiedliche LD2/BF₂-Kombinationen bei konstantem LD1. Die unterschiedlichen Implantationskombinationen zeigen keinen signifikanten Einfluss auf das Stromverhalten.

Betrachtungen liefert ein NLD MOS-Transistor mit einer Gesamtdosis im Driftgebiet von $D_{Drift} \leq 8 \cdot 10^{12} \text{ cm}^{-2}$ Durchbruchspannungen über 20 V wenn $L_D \geq 0.6 \mu\text{m}$. Für NLD MOS-Transistoren mit Durchbruchspannungen über 25 V muss die Gesamtdosis im Driftgebiet auf Werte unter $6 \cdot 10^{12} \text{ cm}^{-2}$ reduziert und eine minimale Driftlänge von $0.8 \mu\text{m}$ verwendet werden. Abbildung 4.6 zeigt die Ausgangs- und Sperrkennlinien für verschiedene Driftlängen bei einem NLD MOS-Transistor mit $D_{LD1} = 6 \cdot 10^{12} \text{ cm}^{-2}$, $D_{LD2} = 5 \cdot 10^{12} \text{ cm}^{-2}$ und $D_{BF2} = 6.2 \cdot 10^{12} \text{ cm}^{-2}$. Äquivalent zur BV_{DSS} -Abnahme mit kürzeren Driftlängen für Transistoren mit einer geringeren LD1-Dosis als $D_{LD1} < 6 \cdot 10^{12} \text{ cm}^{-2}$ (Abb. 4.3(a)), verringert sich auch hier die Durch-

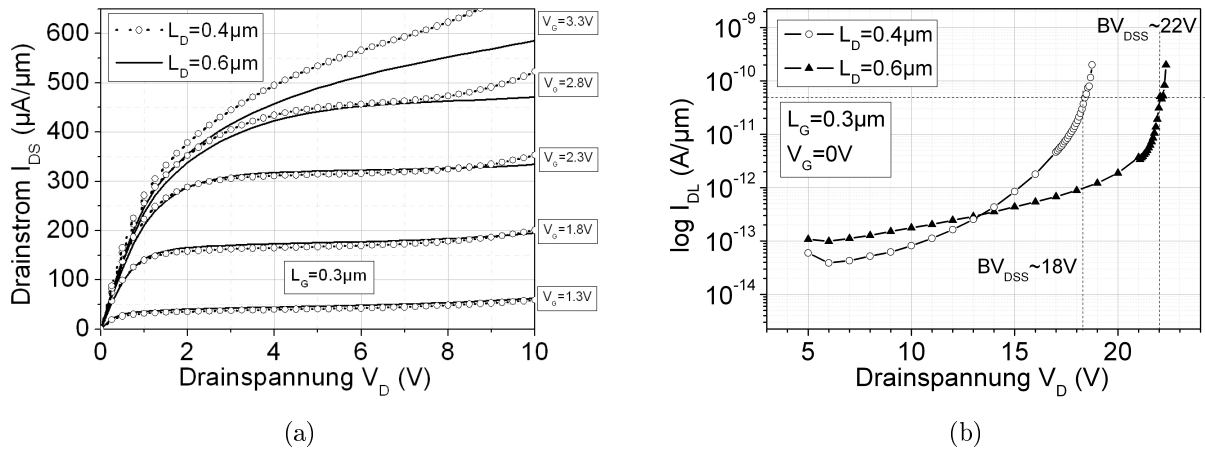


Abb. 4.6: Ausgangs- (a) und Sperrkennlinien (b) des NLD MOS-Transistors mit $D_{LD1}=6 \cdot 10^{12} \text{ cm}^{-2}$, $D_{LD2}=5 \cdot 10^{12} \text{ cm}^{-2}$ und $D_{BF2}=6.2 \cdot 10^{12} \text{ cm}^{-2}$ für verschiedene L_D bei $L_G = 0.3 \mu m$

bruchspannung auf 18 V bei $L_D=0.4 \mu m$. Zudem zeigt sich bei $L_D=0.4 \mu m$ ein Anstieg im Strom bei hohen Drainspannungen (Abb. 4.6(a) für $V_D > 8V$). Aufgrund der kurzen Driftlänge kommt es zu hohen Feldstärken innerhalb der Driftregion und zu einer verstärkten Generation von Ladungsträgern durch Stoßionisation.

Die Auswirkungen einer Gatelängenreduzierung auf das Stromverhalten sind in Abbildung 4.7 gezeigt. Der NLD MOS hat hier eine Driftlänge von $L_D=0.6 \mu m$. Nimmt die Gatelänge ab, steigt der Drainstrom für Gatespannungen bis $V_G \approx 2V$ an. Bei höheren Gatespannungen beobachtet man eine deutliche Quasisättigung im Transistor für eine Gatelänge von $0.2 \mu m$. Grund dafür ist der Einfluss der diffundierten p-Wanne auf das Driftgebiet des NLD MOS-Transistors. Bei kurzen Gatelängen wird ein unbestimmter Teil des vom Gate überlappten Driftgebietes kompensiert. Dadurch verringert sich die Konzentration und die Quasisättigung bei hohen Drainspannungen wird begünstigt.

Eine Erhöhung der LD1-Dosis kann dieses Verhalten verbessern, führt aber unweigerlich zu geringeren Durchbruchspannungen. Die zusätzliche Kompensation spiegelt sich auch im R_{ON} wider, welcher von $R_{ON}(L_G=0.3 \mu m)=3.2 \Omega \text{ mm}$ auf $R_{ON}(L_G=0.2 \mu m)=3.8 \Omega \text{ mm}$ ansteigt.

4.2.2 Hochfrequenzverhalten der NLD MOS-Transistoren

Das Kleinsignalverhalten der Transistoren wurde durch die Messung von Streuparametern (S-Parameter) bestimmt. Diese dienen zur Beschreibung von linearen Bauelementen oder Netzwerken. Mit Hilfe eines Netzwerkanalysators werden sie als Funktion der Frequenz gemessen. Aus den Streuparametern lassen sich durch

$$h_{21} = \frac{-S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \quad (4.1)$$

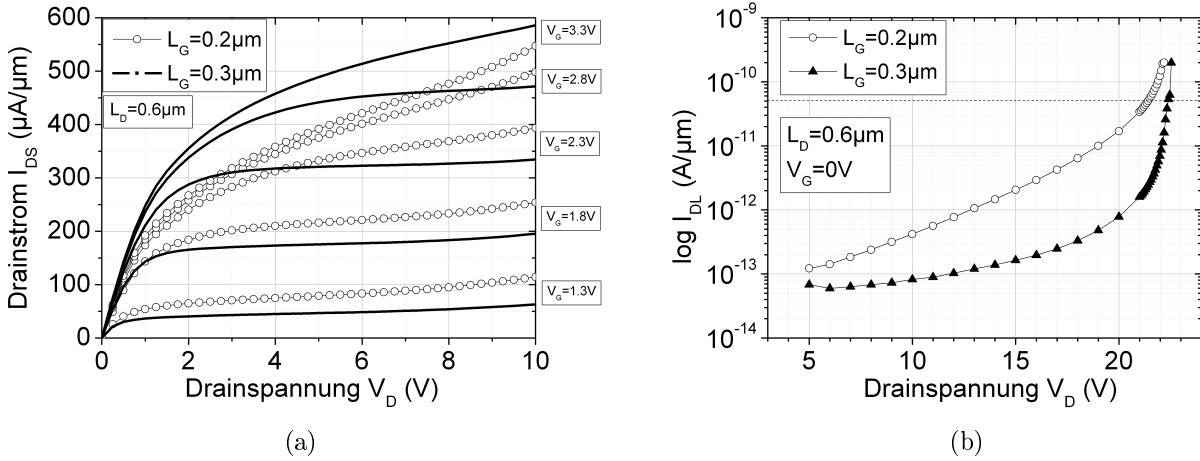


Abb. 4.7: Ausgangs- (a) und Sperrkennlinien (b) des NLD MOS-Transistors mit $D_{LD1}=6 \cdot 10^{12} \text{ cm}^{-2}$, $D_{LD2}=5 \cdot 10^{12} \text{ cm}^{-2}$ und $D_{BF2}=6.2 \cdot 10^{12} \text{ cm}^{-2}$ für verschiedene L_G bei $L_D = 0.6 \mu m$

$$G_U = \frac{|S_{21}|^2}{(1 - |S_{11}|^2) - (1 - |S_{22}|^2)} \quad (4.2)$$

$$MAG = \frac{|S_{21}|}{|S_{12}|} \cdot (K - \sqrt{K^2 - 1}) \quad \text{mit } (K > 1), \quad (4.3)$$

die in Kapitel 2.6 beschriebenen Größen Stromverstärkung h_{21} , der unilaterale Gain G_U und der Maximal Available Gain (MAG), bestimmen. Dabei ist der Korrekturfaktor K gegeben durch

$$K = \frac{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2}{2 \cdot |S_{12}| |S_{21}|}. \quad (4.4)$$

In Kapitel 2.6 wurden bereits die Grenzfrequenzen f_T und f_{max} diskutiert. Die Transitfrequenz f_T ist als die Frequenz definiert, bei der $h_{21}(f) = 1$ gilt. In erster Näherung ist $h_{21} \propto 1/f$ und in der einfachlogarithmischen Darstellung der Stromverstärkung in Dezibel über der Frequenz ergibt sich ein idealer Abfall von -20 dB pro Dekade.

In Abbildung 4.8 sind die aus S-Parameter Messungen berechneten Verstärkungen eines LDMOS-Transistors in Abhängigkeit der Frequenz dargestellt. Für Frequenzen bis etwa 20 GHz zeigt die Stromverstärkung $|h_{21}|$ den idealen Abfall von -20dB/Dekade. Bei größeren Frequenzen im Bereich von $|h_{21}| \leq 1$ verändert sich der Anstieg (roter Kreis Abb. 4.8). Dieser Effekt ist auf den im Anhang A hergeleiteten Term in Gleichung (7.11) zurückzuführen, der den Einfluss des Driftwiderstandes bei hohen Frequenzen widerspiegelt.

Der unilaterale Gain G_U und der MAG verhalten sich ähnlich und fallen ebenso mit

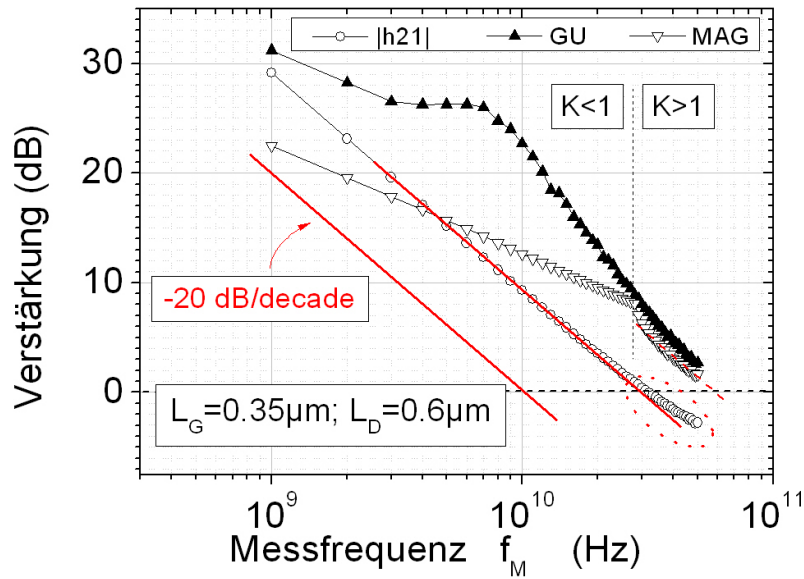


Abb. 4.8: Darstellung der Verstärkungsgrößen h_{21} , G_U und MAG und Prinzip der Extrapolation von f_T und f_{max} . Messung an einem NLDMOS bei $V_G = 1.6$ V und $V_D = 6$ V.

-20dB/Dekade ab. Zur Bestimmung der maximalen Schwingfrequenz f_{max} wurde MAG extrapoliert, und der Schnittpunkt mit der 0 dB-Linie ermittelt. Dabei müssen für die Extrapolation des MAG geeignete Frequenzen im Bereich $K > 1$ gewählt werden ($f_{extr}(MAG) = 40$ GHz). Für die Extrapolation von h_{21} wurde dagegen eine Frequenz von 20 GHz genutzt.

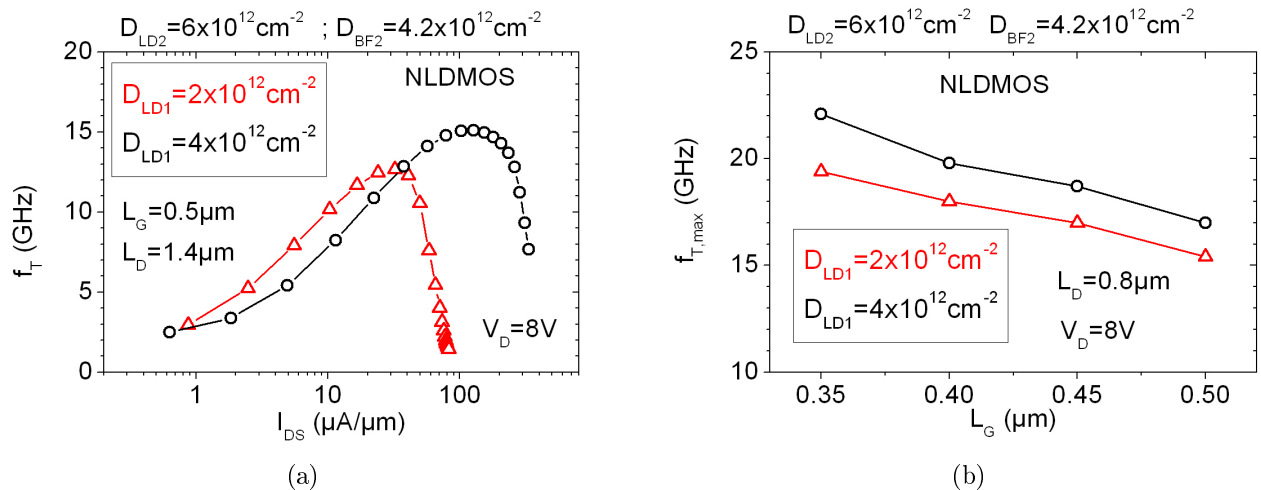


Abb. 4.9: Transitfrequenz f_T in Abhängigkeit vom Drainstrom für unterschiedliche LD1-Implantationen eines NLDMOS-Transistors mit $L_G = 0.5 \mu\text{m}$ und $L_D = 1.4 \mu\text{m}$ (a). Maximale Transitfrequenzen $f_{T,max}$ in Abhängigkeit der Gatelänge bei $L_D = 0.8 \mu\text{m}$ und unterschiedlichen LD1-Implantationen (b).

Abbildung 4.9(a) zeigt die Transitfrequenz in Abhängigkeit vom Drainstrom für zwei NLDMOS-Transistoren mit unterschiedlicher LD1-Implantation. Die Quasisättigung in den Transistoren mit geringer LD1-Dotierungskonzentration begrenzt die maxi-

malen Ströme im Transistor. Dies führt zu einem drastischen Abfall von f_T bei hohen Drainströmen. Da zudem der Driftwiderstand für die geringeren Dotierungskonzentrationen größer ist, sinkt auch die maximale Transitfrequenz. Abbildung 4.9(b) zeigt die maximale Transitfrequenz $f_{T,max}$ in Abhängigkeit der Gatelänge für die zwei Varianten des LD1-Gebietes. Generell ist ein Abnehmen von f_T mit größeren Gatelängen zu erkennen ($f_T \propto 1/L_G$). Um f_T -Werte über 25 GHz zu erreichen, sind demnach Gatelängen unter $0.35 \mu\text{m}$ notwendig. Außerdem sollte für diese Art der Driftregion die Gesamtnettodotierungsdosis über $5 \cdot 10^{12} \text{ cm}^{-2}$ sein.

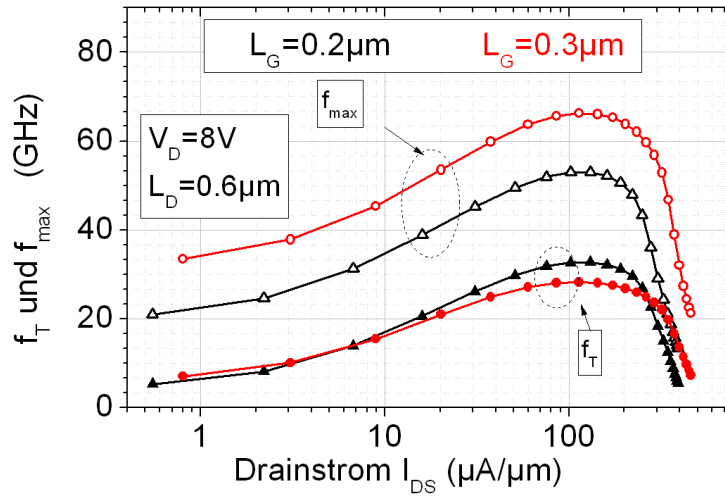


Abb. 4.10: Grenzfrequenzen f_T und f_{max} eines NLD MOS-Transistors in Abhängigkeit von I_{DS} und für verschieden Gatelängen bei $L_D=0.6 \mu\text{m}$.

Abbildung 4.10 zeigt die Grenzfrequenzen in Abhängigkeit vom Drainstrom I_{DS} für einen NLD MOS-Transistor mit $D_{LD1}=6 \cdot 10^{12} \text{ cm}^{-2}$, $D_{LD2}=5 \cdot 10^{12} \text{ cm}^{-2}$ und $D_{BF2}=6.2 \cdot 10^{12} \text{ cm}^{-2}$. Die maximalen Transitfrequenzen der NLD MOS-Transistoren nehmen mit kleineren Gatelängen zu und erreichen Werte von 33 GHz. Aufgrund der beginnenden Quasisättigung bei Gatelängen von $0.2 \mu\text{m}$ ist ein stärkerer Abfall der Transitfrequenz bei höheren Drainströmen zu beobachten. Die maximale Schwingfrequenz sinkt von $f_{max}=67 \text{ GHz}$ bei $L_G=0.3 \mu\text{m}$ auf 53 GHz bei einer Gatelänge von $L_G=0.2 \mu\text{m}$. Wie nachfolgend gezeigt wird, ist das Verhalten der Gate-Drain-Kapazität C_{GD} bei kürzer werdenden Gatelängen ein Grund dafür. Dazu werden im folgenden die Proportionalitäten der Grenzfrequenzen f_T und f_{max} zu den geometrischen Parametern des Transistors betrachtet, die sich aus den Näherungen in den Gleichungen 2.35 und 2.37 ergeben. Die effektive Kanallänge in den NLD MOS-Transistoren lässt sich abschätzen zu $L_{eff} \approx L_G - L_{OL}$. Die Gate-Source-Kapazität ist proportional zur effektiven Gatelänge $C_{GS} \propto L_{eff}$ und die Gate-Drain-Kapazität zur Überlappung L_{OL} ($C_{GD} \propto L_{OL}$ siehe Gl. (2.36)). Die Transitfrequenz verhält sich dann wie

$$f_T \propto \frac{1}{C_{GS} + C_{GD}} \propto \frac{1}{L_{eff} + L_{OL}}. \quad (4.5)$$

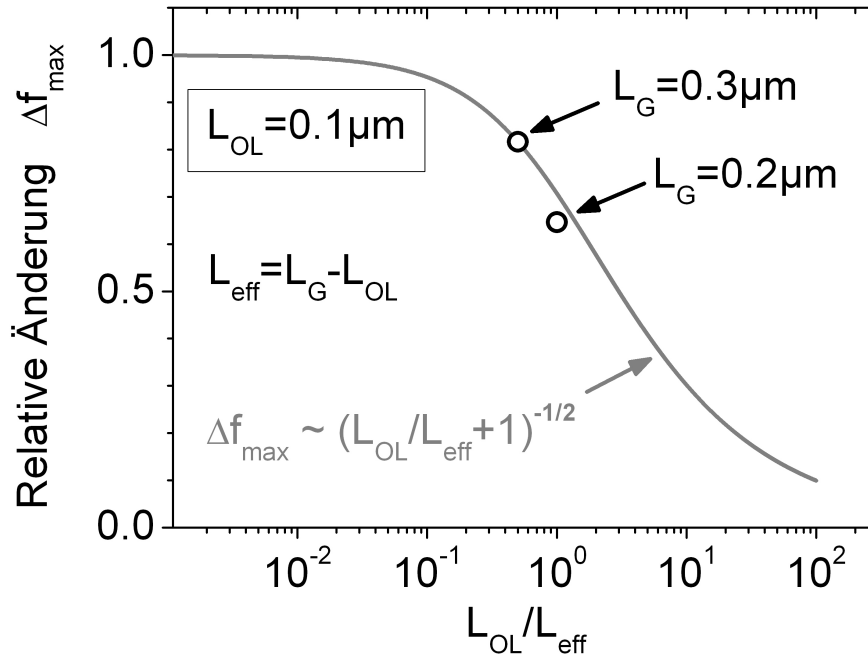


Abb. 4.11: Berechnetes Verhalten von f_{max} (grau) und gemessenes Verhalten (Punkte) für unterschiedliche Verhältnisse der effektiven Gatelänge L_{eff} und des gateüberlappten Driftbereiches L_{OL}

Der Gatewiderstand R_G ist abhängig vom silizierten Teil des Polysilizium-Gates L_{sal} und verhält sich wie

$$R_G \propto \frac{W}{L_{sal}}, \quad (4.6)$$

wobei W die Transistorweite ist. Für diese NLD MOS-Konstruktion kann in erster Näherung $L_{sal} \approx L_{eff}$ angenommen werden. Die maximale Schwingfrequenz verhält sich dann wie

$$f_{max} \propto \sqrt{\frac{f_T}{R_G}} \propto \sqrt{\frac{L_{eff}}{L_{OL} + L_{eff}}} = \sqrt{\frac{1}{\frac{L_{OL}}{L_{eff}} + 1}}. \quad (4.7)$$

Für die hier betrachteten Geometrien der NLD MOS-Transistoren, ist die effektive Kanallänge L_{eff} nicht mehr wesentlich größer als die Überlappung des Gates zum Driftgebiet L_{OL} . Abbildung 4.11 zeigt die daraus resultierende relative Änderung der maximalen Schwingfrequenz $\Delta f_{max} = \frac{f_{max}(L_{OL}/L_{eff})}{f_{max}(0)}$ in Abhängigkeit des Verhältnisses der effektiven Kanallänge L_{eff} zur Ausdehnung der Überlappungsregion L_{OL} . Die realtiven Änderung der gemessenen f_{max} -Werte sind in Abbildung 4.11 dargestellt und bestätigen das prinzipielle Verhalten der maximalen Schwingfrequenz.

4.2.3 Langzeitstabilität der NLD MOS-Transistoren

Die Langzeitstabilität der LDMOS-Transistoren unter Hochvoltbedingungen ist einer der kritischsten Punkte bei der Realisierung und Beurteilung dieser Bauele-

mente. Deshalb wurden die Änderungen spezifischer Gleichstromparameter, wie des Durchlasswiderstandes R_{ON} und des Sättigungsstroms I_{SAT} , nach Hochvoltstress untersucht. Der Durchlasswiderstand wurde als der Gleichstromparameter identifiziert, welcher am sensibelsten auf Hochvoltstress reagiert. Alle Messungen wurden bei Zimmertemperatur durchgeführt. Die Transistoren wurden bei unterschiedlichen Drainspannungen $V_{D,Stress}$ und für verschiedene Zeitintervalle t_S gestresst. Die Gatespannung wurde dabei so gewählt, dass sie bei der angelegten Stressspannung dem Maximum des Substratstromes I_{SUB} entsprach. Für die verschiedenen Zeitabschnitte wurde R_{ON} ($|V_D|=0.1\text{ V}, |V_G|=3.3\text{ V}$) bestimmt und die relative Änderung zu seinem Ausgangswert ermittelt.

Bestimmung der maximalen Betriebsspannung

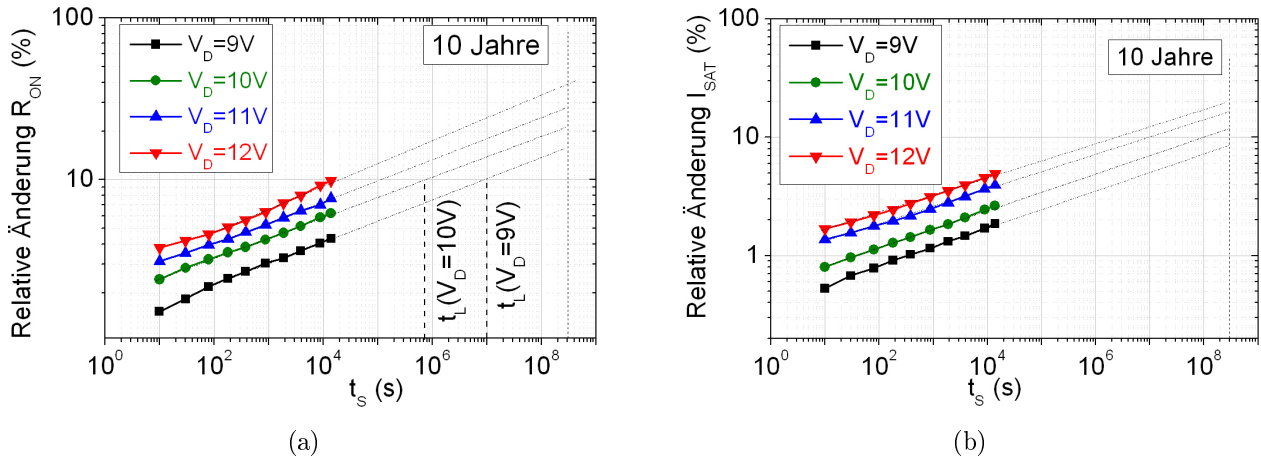


Abb. 4.12: Relative zeitliche Änderung von R_{ON} (a) und I_{SAT} (b) des NLDMOS-Transistors mit $L_G = 0.3\mu\text{m}$ und $L_D = 0.6\mu\text{m}$ bei verschiedenen Spannungen.

Abbildung 4.12 zeigt die relativen Änderungen von R_{ON} und I_{SAT} bei den jeweiligen Spannungen für einen NLDMOS-Transistor mit einer Gatelänge von $L_G=0.3\mu\text{m}$ und einer Driftlänge von $L_D=0.6\mu\text{m}$. Die Implantationen für das Driftgebiet wurden mit Dosiswerten von $D_{LD1}=6\cdot 10^{12}\text{ cm}^{-2}$, $D_{LD2}=5\cdot 10^{12}\text{ cm}^{-2}$ und $D_{BF2}=6.2\cdot 10^{12}\text{ cm}^{-2}$ realisiert.

Der Durchlasswiderstand ändert sich bei $V_D = 9V$ um mehr als 10% nach 10 Jahren, wogegen ΔI_{SAT} geringer als $\approx 10\%$ ist. Bei höheren Spannungen sind die Änderungen, speziell für den R_{ON} noch größer und erreichen bis zu 30%. Aus den gemessenen Kurven in Abbildung 4.12 kann für eine Degradation des Durchlasswiderstandes von 10% bei der jeweiligen Stressspannung die entsprechende Lebensdauer t_L ermittelt werden. Die Lebensdauer t_L in Abhängigkeit der reziproken Drainspannung erlaubt die Extrapolation der maximalen Betriebsspannung $V_{DD,max}$ für eine Änderung des R_{ON} von 10% in 10 Jahren. Abbildung 4.13 zeigt dies für den

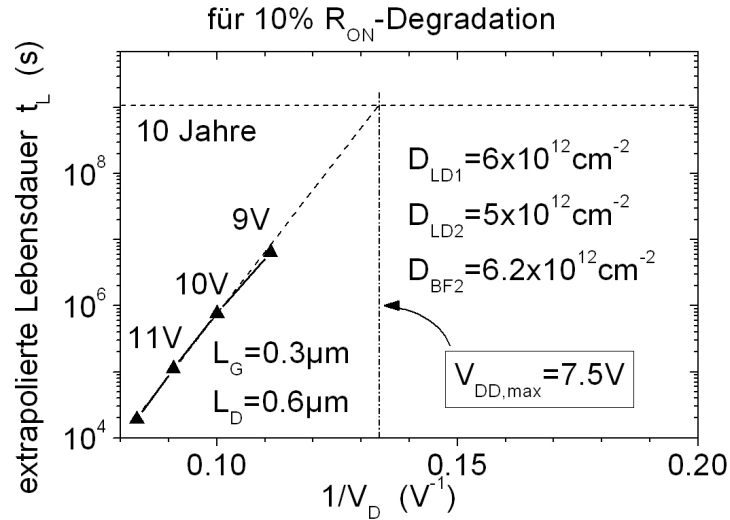


Abb. 4.13: Prinzip der Extrapolation für die maximale Betriebsspannung bei einer zeitlichen Drift des R_{ON} von 10% in 10 Jahren.

hier betrachteten NLD MOS-Transistor. Vergrößert man die Gate- bzw. Driftlängen der NLD MOS-Transistoren kann die maximale Betriebsspannung erhöht werden, da sich in diesem Fall die elektrischen Feldstärken innerhalb des Transistors reduzieren. Abbildung 4.14 zeigt die relative Änderung des Durchlasswiderstandes für einen NLD MOS-Transistor mit $L_G = 0.5 \mu m$ und $L_D = 0.8 \mu m$.

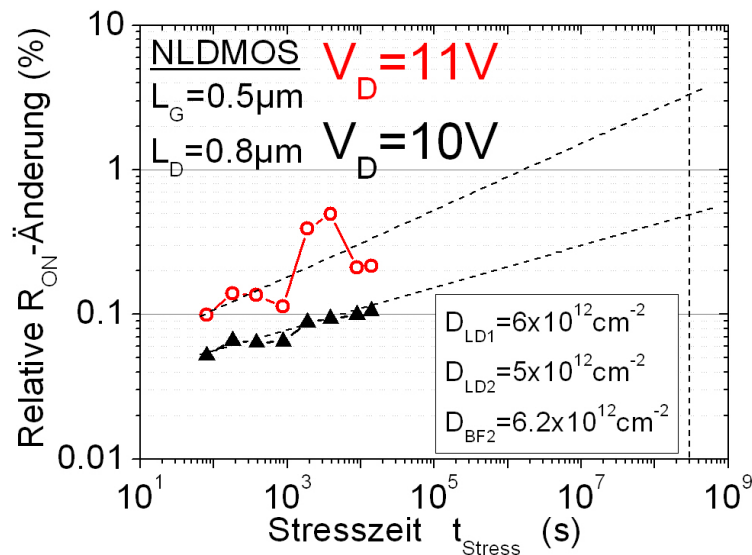


Abb. 4.14: Relative Änderung von R_{ON} (a) und I_{SAT} (b) des NLD MOS mit $L_G = 0.3 \mu m$ und $L_D = 0.6 \mu m$ bei verschiedenen Spannungen.

Auch bei einer Spannung von $V_D = 11$ V ist die R_{ON} -Änderung geringer als 10% in 10 Jahren. Allerdings vergrößern sich durch die geänderte Geometrie auch andere Parameter wie z.B. der Durchlasswiderstand und Driftwiderstand. Beides führt zu einer Verringerung der erreichbaren Grenzfrequenzen des LDMOS-Transistors auf f_T -Werte unter 18 GHz.

4.2.4 Einfluss der BF_2 -Implantation innerhalb der Driftregion

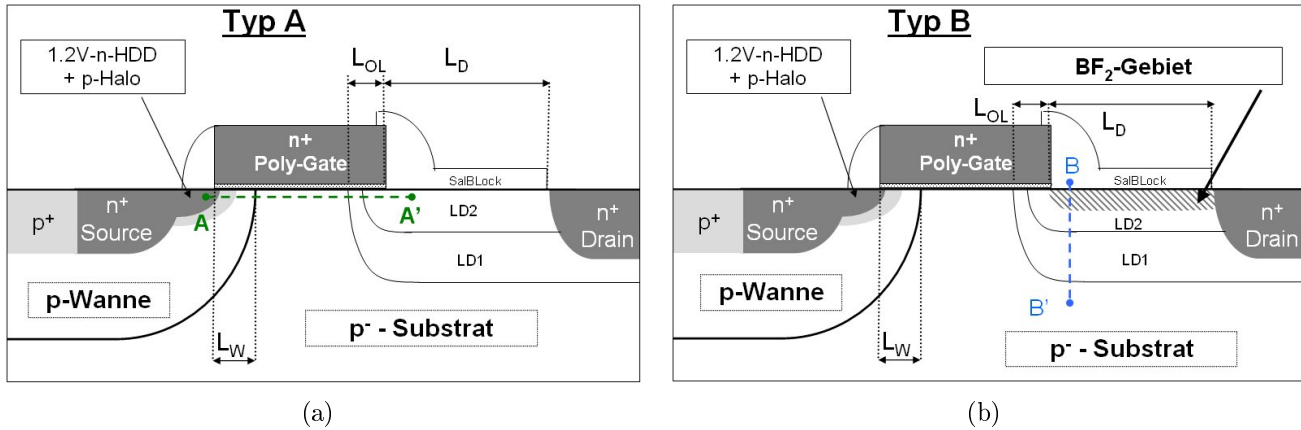


Abb. 4.15: Querschnitte der untersuchten NLD MOS-Varianten. Typ B erhielt zusätzlich zur gestaffelten tiefen Driftimplantation ein nahe der Oberfläche befindliches BF_2 -Gebiet. Um in beiden Typen die gleiche Nettodotierungskonzentration im Driftgebiet zu erhalten, wurde für den Typ B die Dosis der LD2-Implantation erhöht.

Um die Bedeutung des p-Gebietes in der Driftregion darzustellen, wurden zwei unterschiedliche Varianten des NLD MOS-Transistors mit einer Gatellänge von $0.35 \mu\text{m}$ und einer Driftlänge von $0.8 \mu\text{m}$ untersucht. Die schematischen Querschnitte der Transistoren sind in Abbildung 4.15 dargestellt.

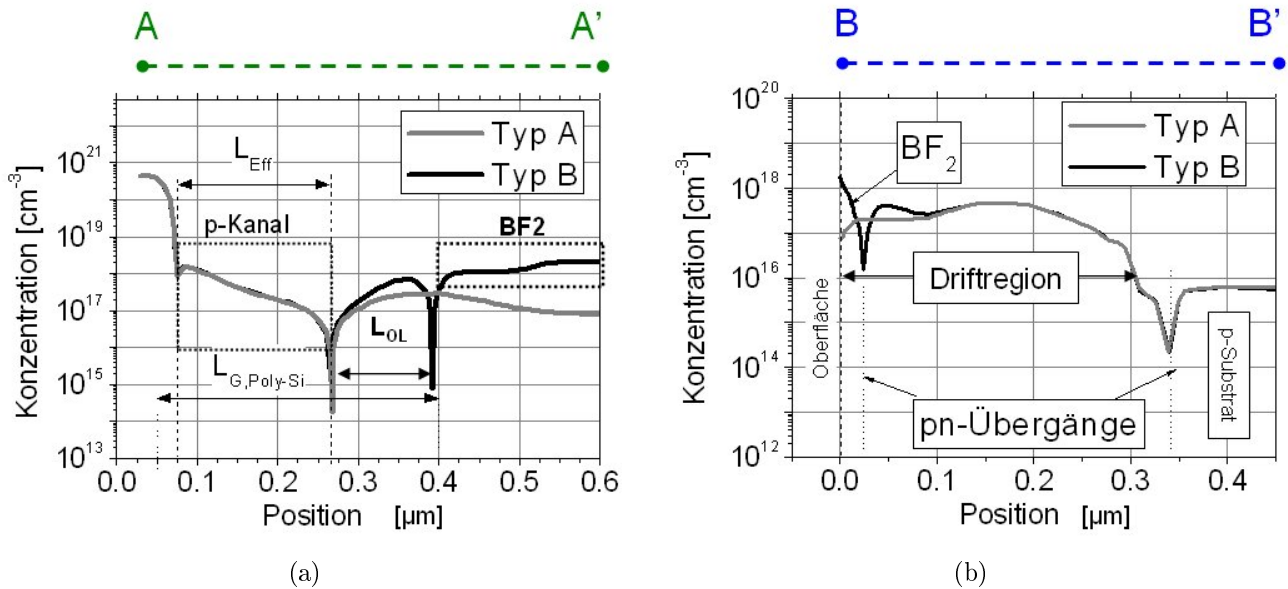


Abb. 4.16: Simulierte Dotierungsprofile entlang der Kanalregion (10 nm unterhalb der Si/SiO₂-Grenzfläche, Bild (a)) und in die Tiefe unterhalb der Spacerregion (b). Die Positionen der Querschnitte sind Abb. 4.15 zu entnehmen.

Für den Typ A wurde das Driftgebiet nur durch die LD1- und LD2-Implantationen hergestellt. Im Typ B wurde, wie in den vorangegangenen Untersuchungen, zusätzlich ein BF_2 -Gebiet nahe der Siliziumoberfläche eingebracht. Die Dosis des LD1-

Gebietes ist in beiden Fällen $D_{LD1}=8\cdot 10^{12}\text{ cm}^{-2}$. Für den Typ A wurde eine LD2-Dosis von $D_{LD2-TypA}=2\cdot 10^{12}\text{ cm}^{-2}$ genutzt und keine BF_2 -Implantation. Der Typ B hingegen wurde mit einer LD2-Dosis von $D_{LD2-TypB}=1.2\cdot 10^{13}\text{ cm}^{-2}$ und einer BF_2 -Implantation von $D_{\text{BF}_2}=1\cdot 10^{13}\text{ cm}^{-2}$ realisiert.

Neben den elektrischen Messungen wurden auch Bauelementesimulationen für die beiden Transistoren genutzt, um deren Verhalten zu untersuchen. Abbildung 4.16 zeigt den Vergleich der simulierten Dotierungsprofile für beide Transistortypen. Im lateralen Profil (Abb. 4.16(a)) erkennt man die gleiche, inhomogene Kanaldotierung der Transistoren. Für beide Transistortypen ist der vom Gate überlappte Driftbereich L_{OL} identisch. Im Profil des Typ B erkennt man zudem die erhöhte Konzentration der n-Dotierung im Vergleich zu Typ A. Diese Erhöhung der Dosis war notwendig, um im Driftgebiet die gleiche Nettodotierungskonzentration zu erhalten und die Bauelemente vergleichen zu können.

In Abbildung 4.17 sind die gemessenen und simulierten Ausgangskennlinien für beide Typen von Transistoren dargestellt. Im Fall des Typ B verarmt das BF_2 -Gebiet den vom Gate überlappten Driftbereich. Dadurch beobachtet man einen erhöhten Durchlasswiderstand (R_{ON} (Typ A)= $2.5\text{ }\Omega\text{mm}$, R_{ON} (Typ B)= $3.8\text{ }\Omega\text{mm}$) und die Quasisättigung bei hohen Gatespannungen. Die zusätzliche Verarmung des verti-

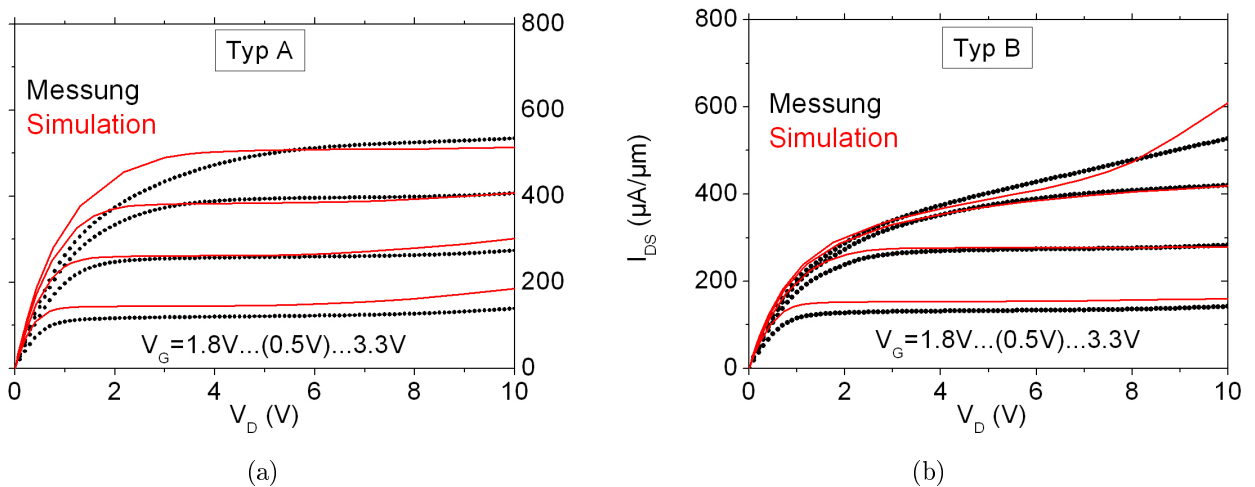


Abb. 4.17: Gemessene und simulierte Ausgangskennlinien für den NLD MOS Typ A ohne BF_2 -Gebiet (a) und den Typ B mit einem BF_2 -Gebiet in der Driftregion. Für den Typ B ist die deutliche R_{ON} -Erhöhung und die Quasisättigung zu erkennen.

kalen pn-Übergangs zwischen Driftregion und BF_2 -Gebiet führt zu einem stärkeren Potentialabfall nahe der Oberfläche für Typ B-Transistoren (Abb. 4.18). Dadurch reduziert sich das elektrische Feld und es werden weniger heiße Ladungsträger erzeugt. Dementsprechend verringert sich auch die Anzahl der im Gateoxid und in der Spacerregion erzeugten Festladungen. Am vertikalen pn-Übergang zwischen BF_2 -Region und Driftgebiet bildet sich ein elektrisches Feld aus, das einer Bewegung der Elektronen in Richtung Oberfläche entgegenwirkt. Die ionisierten Akzeptoren im

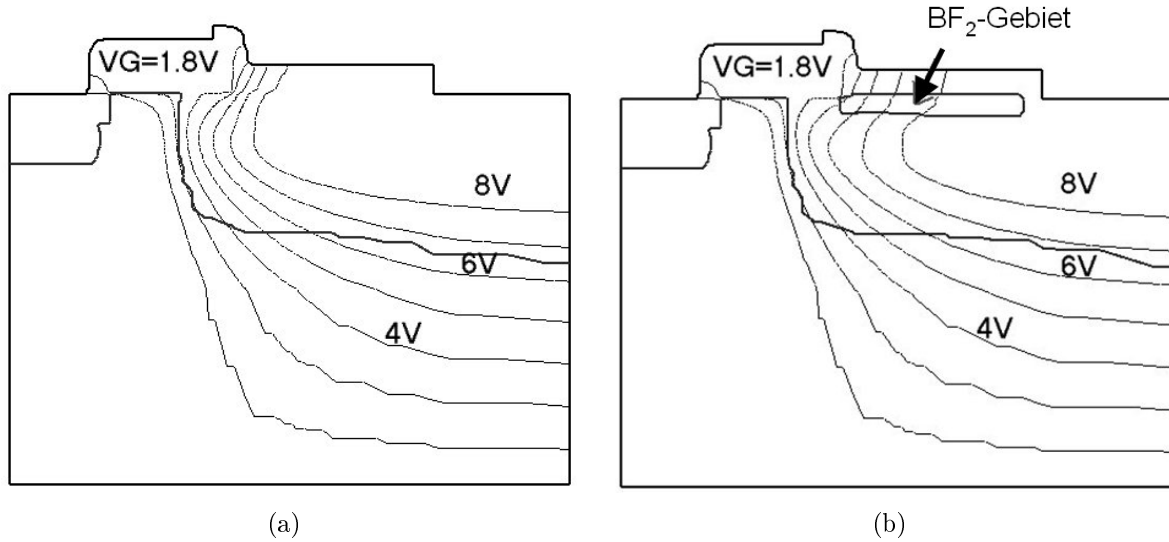


Abb. 4.18: Simulierte Potentialverteilung in den Driftregionen für Typ A (a) und Typ B (b) bei $V_D = 8\text{V}$ und $V_G = 1.8\text{V}$. Durch den zusätzlichen vertikalen pn-Übergang zwischen BF_2 -Region und Driftgebiet ist beim Typ B stärkerer Potentialabfall nahe der Oberfläche zu erkennen.

BF_2 -Gebiet bilden zudem eine Barriere für die sich in der Driftregionen bewegendes Leitungselektronen.

Abbildung 4.19 zeigt die simulierte Stromdichte für beide Typen von NLD MOS-Transistoren. Die Simulationsergebnisse zeigen, dass sich der Pfad der maximalen Stromdichte beim Typ B in die Tiefe der Driftregion verlagert (Abb. 4.19(b)). Durch den größeren Abstand des Strompfades zur Oberfläche reduziert sich die Wechselwirkung zwischen den Leitungselektronen im Driftgebiet und den in der Spacerregion injizierten Festladungen.

Die beschriebenen Effekte führen zu einer verringerten Degradation des Typ-B-Transistors unter Hochspannungsstress im Vergleich zu Typ A. Der Durchlasswiderstand, als empfindlichster Gleichstromparameter gegenüber Hochspannungsstress, liefert für den Typ A eine maximale Betriebsspannung von nur 5.5V , während der Typ-B-Transistor bei $V_{DD,max} = 11\text{V}$ langzeitstabil arbeiten kann (Abb. 4.20).

Abbildung 4.21 zeigt die Transitfrequenzen der beiden Typen von NLD MOS-Transistoren in Abhängigkeit des Drainstromes. Die maximalen Transitfrequenzen zeigen gleiche Werte von $\approx 23\text{GHz}$ (Abb. 4.21). Durch die beginnende Quasisättigung beim Typ B ist ein stärkerer Abfall von f_T bei hohen Drainströmen zu beobachten. Die verbesserte Langzeitstabilität des Typ B unter Hochspannungsstress zeigt sich auch beim Verhalten der Transitfrequenz (Abb. 4.21). Während beim Typ A Transistor deutliche Unterschiede vor und nach einem 10stündigen Betrieb zu erkennen sind, zeigt sich bei den Transistoren mit BF_2 -Implantation keinerlei Verschiebung der Transitfrequenz.

Die Gesamtnettodosis im Driftgebiet beträgt für den hier betrachteten NLD MOS-

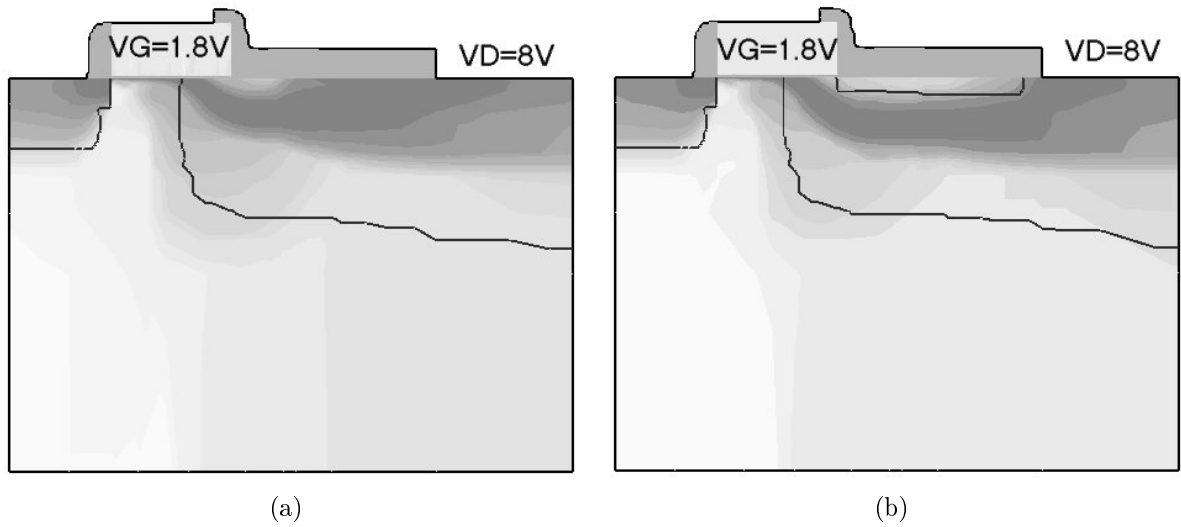


Abb. 4.19: Simulierte Stromdichte für Typ A (a) und Typ B (b) bei $V_D = 8V$ und $V_G = 1.8V$. Typ B zeigt einen in die Tiefe verlagerten Strompfad. Die Stromdichte nahe der Oberfläche und an der drainseitigen Gatekante reduziert sich.

Typ B $\approx 1 \cdot 10^{13} \text{ cm}^{-2}$. In Kapitel 4.2.3 wurde ein NLD MOS-Transistor vorgestellt, der eine geringere Gesamtnettdosis von $\approx 5 \cdot 10^{12} \text{ cm}^{-2}$ mit $D_{LD1} = 6 \cdot 10^{12} \text{ cm}^{-2}$, $D_{LD2} = 5 \cdot 10^{12} \text{ cm}^{-2}$ und $D_{BF2} = 6.2 \cdot 10^{12} \text{ cm}^{-2}$ hatte. Trotz der Tatsache das bei diesem NLD MOS-Transistor die Dosis des BF_2 -Gebietes größer war als die Dosis der LD2-Region, lag die maximale Betriebsspannung bei $V_{DD,max} = 7.5V$ für einen Transistor mit $L_G = 0.3 \mu\text{m}$ und $L_D = 0.6 \mu\text{m}$. Die erhöhte, maximale Betriebsspannung von 11 V des Typ B gegenüber den vorher charakterisierten Transistoren (Kap. 4.2.3) erklärt sich vor allem durch die vergrößerte Gate- und Driftlänge dieses Transistors ($L_G = 0.35 \mu\text{m}$, $L_D = 0.8 \mu\text{m}$). Wie erwähnt, bildet sich für alle betrachteten Kombinationen von LD2- und BF_2 -Implantation eine p-dotierte Region nahe der Oberfläche aus. Für die hier betrachteten Dotierungsverhältnisse ($-1.2 \cdot 10^{12} \text{ cm}^{-2} \leq \Delta D \leq 1.2 \cdot 10^{12} \text{ cm}^{-2}$) ist deren Wirkungsweise unabhängig von der Nettogesamtdosis, d.h. der Dosisdifferenz ΔD an der Oberfläche. Damit ist auch die Langzeitstabilität der Transistoren äquivalent und hängt vor allem von der gewählten Geometrie, d.h. Gatelänge und Driftlänge, ab.

4.3 Der PLDMOS-Transistor

Die Sourcseite des PLDMOS-Transistors wurde aus der n-Wanne und der n-Halo-Implantation des 1.2 V-PMOS realisiert. Für die Isolierung des Bauelements gegenüber dem p-Substrat ist eine tiefe n-Isolierung unterhalb des Transistors notwendig. Erhält man die im Basis-Prozess verwendete n-Isolierung unterhalb des PLDMOS-Transistors, beobachtet man einen charakteristischen Durchbruch des vertikalen pn-Übergangs zwischen dem p-Drain und tiefer n-Isolierung bei -14.5 V. Ein Ziel bei der

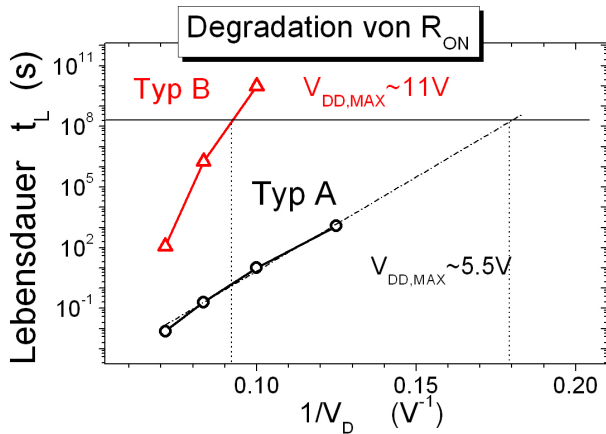


Abb. 4.20: Extrapolierte Lebensdauer als Funktion der inversen Betriebsspannung. Für eine Änderung des R_{ON} von 10%.

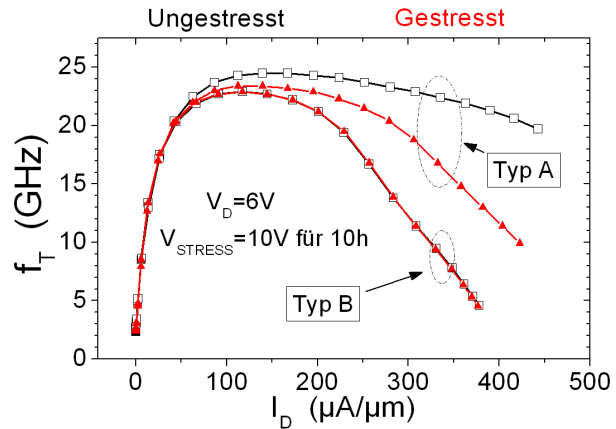


Abb. 4.21: Transistfrequenz f_T als Funktion vom Drainstrom I_{DS} beider Transistortypen vor und nach 10h Stress bei $V_D=10$ V.

Realisierung des PLDMOS-Transistors war die Erhöhung der Durchbruchspannung über diesen charakteristischen Wert. Verschiedene Untersuchungen wurden durchgeführt, bei denen das Driftgebiet des PLDMOS auch durch eine Maske, wie beim NLD MOS, realisiert wurde. Die Untersuchungen zeigten, dass die Durchbruchspannung zur Isolierung unabhängig vom Driftgebiet bleibt. Um den PLDMOS dennoch für höhere Spannungen nutzbar zu machen, wurden Konzepte entwickelt, die sowohl die vertikale Durchbruchspannung, als auch eine Optimierung der Driftregion erlauben.

4.3.1 Konstruktion der Driftregion zur Erhöhung der Durchbruchspannung

Um die vertikale Durchbruchspannung zu erhöhen, ist es notwendig die unter dem p-Drain befindliche Dosis der tiefen n-Isolierung zu verringern. Durch einen zusätzlichen Masken- und Implantationsschritt ist dies leicht umzusetzen. Um dennoch die Driftregion unabhängig von anderen Bauelementen zu gestalten, wäre ein weiterer Maskenschritt nach der Source/Drainimplantation notwendig, wie es in Abbildung 4.1 dargestellt ist.

Der PLDMOS-A Transistor

Abbildung 4.22 zeigt den Querschnitt des PLDMOS-A, dessen Design es erlaubt, beide Bedingungen mit nur einem Maskenschritt zu erfüllen.

Die tiefe n-Isolierung des Basis-Prozesses wurde unterhalb des Drain/Driftgebietes nicht implantiert. Die Maskenkante der n-Isolierung wurde bis unter das später entstehende Gate zurückgezogen. Über der Driftregion des PLDMOS blieb sie geschlossen. Der Abstand zur drainseitigen Gatekante beträgt im Zeichenmaß $L_Z=100$ nm

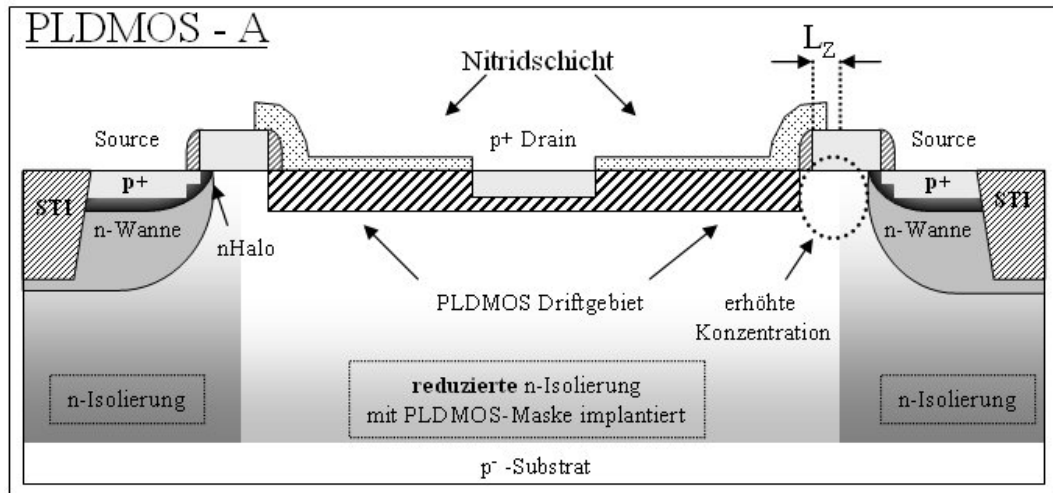


Abb. 4.22: Schematischer Querschnitt des PLDMOS-A-Transistors.

(siehe Abb.4.22). Mit der gleichen Distanz zur Gatekante wird die PLDMOS-Maske auf dem Gate positioniert, die über der Driftregion geöffnet wird. Über diese Maske werden eine im Vergleich zum Basis-Prozess schwach dotierte n-Isolierung sowie das Driftgebiet implantiert. Diese Konstruktion erlaubt es, Aussagen über das Verhalten der PLDMOS-Transistoren mit reduzierter n-Isolierung zu treffen. Die Dosis der schwach dotierten Isolierung sowie des Driftgebietes wurden variiert. An PLDMOS-Transistoren mit einer Gatelänge von $L_G=0.25\ \mu\text{m}$ und einer Driftlänge $L_D=0.6\ \mu\text{m}$ wurden die elektrischen Messungen durchgeführt.

Abbildung 4.23(a) zeigt das Verhalten der Durchbruchspannung BV_{iso} zwischen p-Drain und n-Isolierung in Abhängigkeit von der Implantationsdosis der n-Isolierung. Mit abnehmender Dosis der n-Isolierung steigt die Durchbruchspannung an. Bei einer Dosis von $5 \cdot 10^{13}\ \text{cm}^{-2}$ erkennt man den charakteristischen Wert für den pn-Durchbruch zwischen p-Drain und Basis-n-Isolierung von $BV_{iso} \approx -14.5\ \text{V}$. Wird die Dosis auf $0.5 \cdot 10^{13}\ \text{cm}^{-2}$ reduziert, steigt BV_{iso} auf $-19\ \text{V}$ an. Zudem zeigt sich, dass die Durchbruchspannung nicht von der Dosis der Driftimplantation abhängt. Obwohl die Dosis im Driftgebiet um mehr als die Hälfte reduziert wird, verhält sich BV_{iso} in allen Fällen ähnlich.

Einen deutlichen Einfluss der Dosis des Driftgebietes beobachtet man dagegen für den Durchlasswiderstand (Abb. 4.23(b)). Bei einer Dosis im Driftgebiet von $7 \cdot 10^{12}\ \text{cm}^{-2}$ steigt R_{ON} mit zunehmender Dosis der n-Isolierung von ca. $13\ \Omega\text{mm}$ auf $19\ \Omega\text{mm}$ an, da mit steigender Konzentration der n-Isolierung die Verarmung des p-Driftgebietes zunimmt. Dadurch steigt der Widerstand der Driftregion. Zudem verlieren die beschleunigten Ionen während der Implantation durch Wechselwirkungen an den Kanten des Photolacks einen Teil ihrer Energie und werden abgelenkt. Dadurch erreichen sie eine geringere Tiefe und die Konzentration der n-Isolierung nimmt in der Nähe der Implantationskanten zur Oberfläche hin zu (Abb. 4.22). Dies führt zu einer stärkeren Kompensation der Driftimplantation nahe der drainseiti-

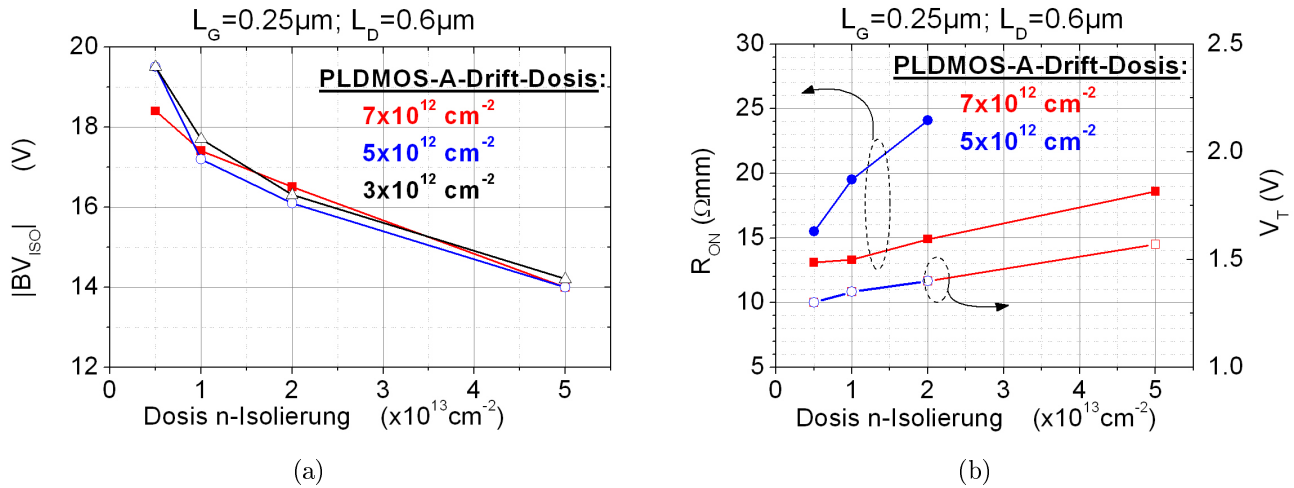


Abb. 4.23: Durchbruchspannung (a) und R_{ON} (b) des PLDMOS-A in Abhängigkeit von der Implantationsdosis der tiefen n-Isolierung und bei verschiedenen Dosiswerten des Driftgebietes

gen Gatekante und damit zu einer Erhöhung des Durchlasswiderstandes. Durch die erhöhte Konzentration unterhalb des Gates steigt auch die Schwellspannung der Transistoren für den PLDMOS-A auf Werte bis zu 1.6 V (Abb. 4.23(b)).

Der PLDMOS-B Transistor

Um den Transistor unempfindlicher gegen die beschriebenen Konzentrationseffekte unter dem Gate zu machen, wurde das Layout modifiziert. Unter Zuhilfenahme der p-LDD-Implantation der 3.3V-PMOS-Transistoren kann das Positionieren von Maskenkanten im Transistorbereich unterhalb des Gates vermieden werden. Dadurch wird das drastische Ansteigen der Schwellspannung und des Durchlasswiderstandes unterbunden. Abbildung 4.24 zeigt den schematischen Querschnitt des so entworfenen PLDMOS-B Transistors.

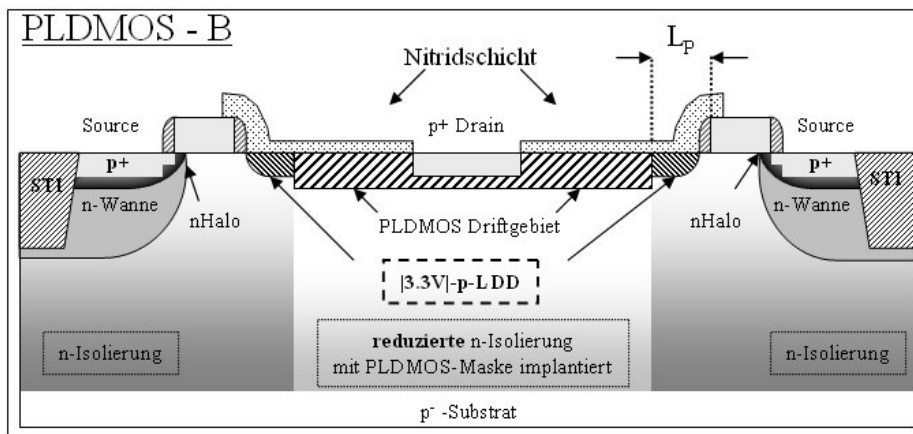


Abb. 4.24: Schematischer Querschnitt des PLDMOS-B. Dieses Design verhindert Konzentrationsmaxima im Kanalbereich des Transistors (Vergleich mit Abb. 4.22)

Im Gegensatz zum PLDMOS-A werden hier die Maskenkanten der n-Isolierung und des Driftgebietes zwischen die drainseitige Gatekante und das hochdotierte Draingebiet gesetzt. Der Kanalanschluss wird mit der LDD-Implantation des 3.3 V-PMOS realisiert. Der Abstand L_P zum Gate ist so gewählt, dass er Variationen der Maskenpositionen zulässt ohne in den Transistorbereich unterhalb des Gates zu gelangen. Für L_P wurde ein Zeichenmass von $L_P=0.2\text{ }\mu\text{m}$ gewählt.

Gleichstromverhalten der PLDMOS-B-Transistoren

Abbildung 4.25 zeigt die Durchbruchspannung und den Durchlasswiderstand in Abhängigkeiten von L_G und L_D für den PLDMOS-B-Transistor. Die Dosis der tiefen n-Isolierung beträgt hier $5\cdot 10^{12}\text{ cm}^{-2}$.

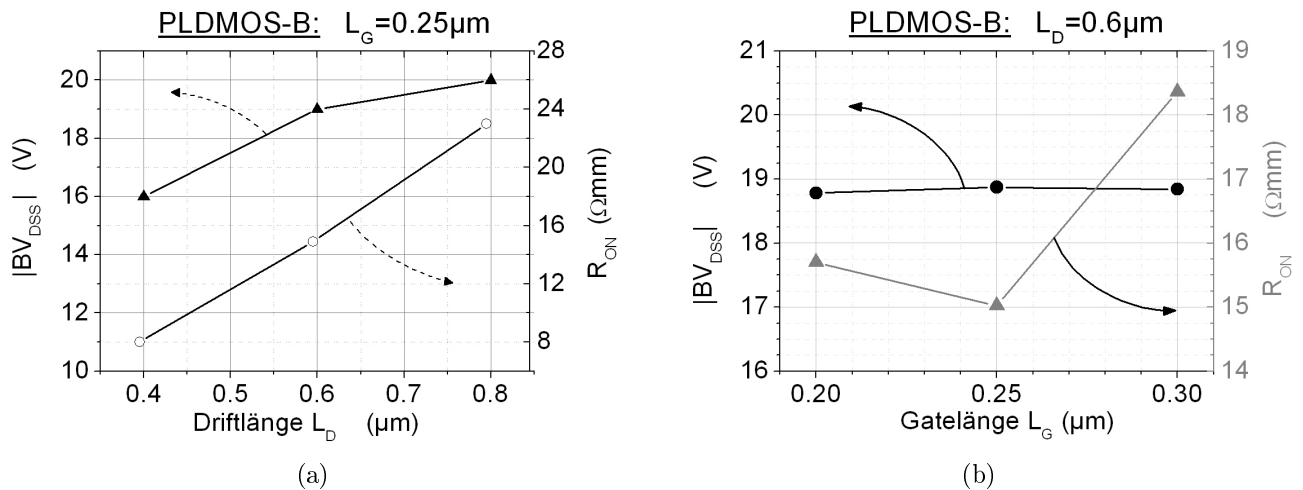


Abb. 4.25: Durchbruchspannung BV_{DSS} und Durchlasswiderstand R_{ON} in Abhängigkeit von L_D (a) sowie von L_G (b) für den PLDMOS-B-Transistor

Die Durchbruchspannungen und Durchlasswiderstände steigen äquivalent zum NLD-MOS mit zunehmender Driftlänge. Allerdings ist an den durchgeführten Messungen nicht definitiv festzustellen, auf welchen pn-Übergang der Durchbruch zurückzuführen ist. Zum einen kann dies der laterale Übergang zwischen p-Driftgebiet und n-Wanne sein. Zum anderen ist bei einer Driftlänge von $0.4\text{ }\mu\text{m}$ die hochdotierte n-Isolierung bis auf $0.2\text{ }\mu\text{m}$ an das hochdotierte Draingebiet herangerückt, was einen früheren vertikalen Durchbruch begünstigt. Für Driftlängen über $L_D > 0.6\text{ }\mu\text{m}$ werden Durchbruchspannungen von -19 V erreicht.

Die Abhängigkeit der Durchbruchspannung und des Durchlasswiderstandes von der Gatelänge sind in Abbildung 4.25(b) dargestellt. Da die Durchbruchspannung für $L_D=0.6\text{ }\mu\text{m}$ unabhängig von der Gatelänge ist, ist zu vermuten, dass sie durch den vertikalen pn-Übergang bestimmt wird. Beim Durchlasswiderstand zeigt sich ein ähnliches Bild, wie beim NLD-MOS-Transistor. Der Anstieg des Durchlasswiderstan-

des für Transistoren mit $L_G=0.2\mu\text{m}$ ist hier auf die Kompensation des gatenahen Driftgebietes durch des n-Wannengebiet zurückzuführen.

4.3.2 Hochfrequenzverhalten der PLDMOS-Transistoren

Abbildung 4.26 zeigt die Grenzfrequenzen für einen PLDMOS-B-Transistor mit $L_G=0.25\mu\text{m}$ und $L_D=0.6\mu\text{m}$. Die Implantationsdosis des p-LDD-Gebietes ist $D_{p-LDD}=9\cdot 10^{12}\text{cm}^{-2}$ und das Driftgebiet wurde mit einer Dosis von $D_{p-Drift}=6\cdot 10^{12}\text{cm}^{-2}$ hergestellt. Maximale Grenzfrequenzen von $f_T=14\text{GHz}$ und $f_{max}=42\text{GHz}$ wurden für diese Geometrie gemessen. Da die p-LDD-Implantation selbstjustiert zur drainseitigen Gatekante ist, sinkt auch die Gate-Drain-Kapazität, was in hohen f_{max} -Werten resultiert.

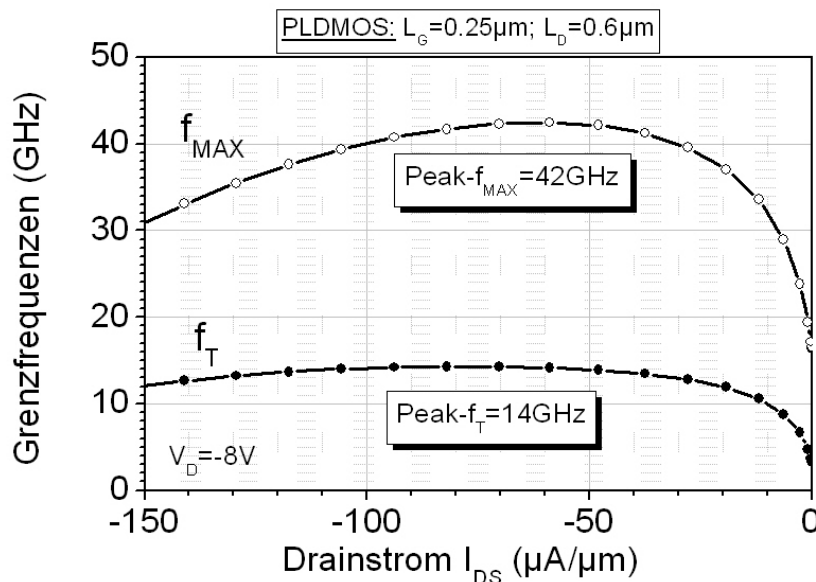


Abb. 4.26: Grenzfrequenzen f_T und f_{max} der PLDMOS -Transistoren in Abhängigkeit vom Drainstrom.

4.3.3 Langzeitstabilität der PLDMOS-Transistoren

Die Langzeitstabilität der PLDMOS-Transistoren ist neben der Degradation durch heiße Ladungsträger (HCI) vor allem durch den NBTI-Effekt bestimmt. Diese beiden Effekte verursachen eine gegensätzliche, zeitliche Drift der Transistorparameter. Während die durch HCI erzeugten Energiezustände mit Elektronen besetzt werden und eine Reduzierung des Durchlasswiderstandes verursachen, erhöhen die durch den NBTI-Effekt erzeugten positiven Energiezustände die Schwellspannung V_T und R_{ON} .

Abbildung 4.27 zeigt die Änderung vom Durchlasswiderstand für PLDMOS-B-Transistoren mit unterschiedlichen Gate- und Driftlängen und bei unterschiedlichen Drainspannungen. Anfänglich dominieren die durch HCI besetzten Energiezustände

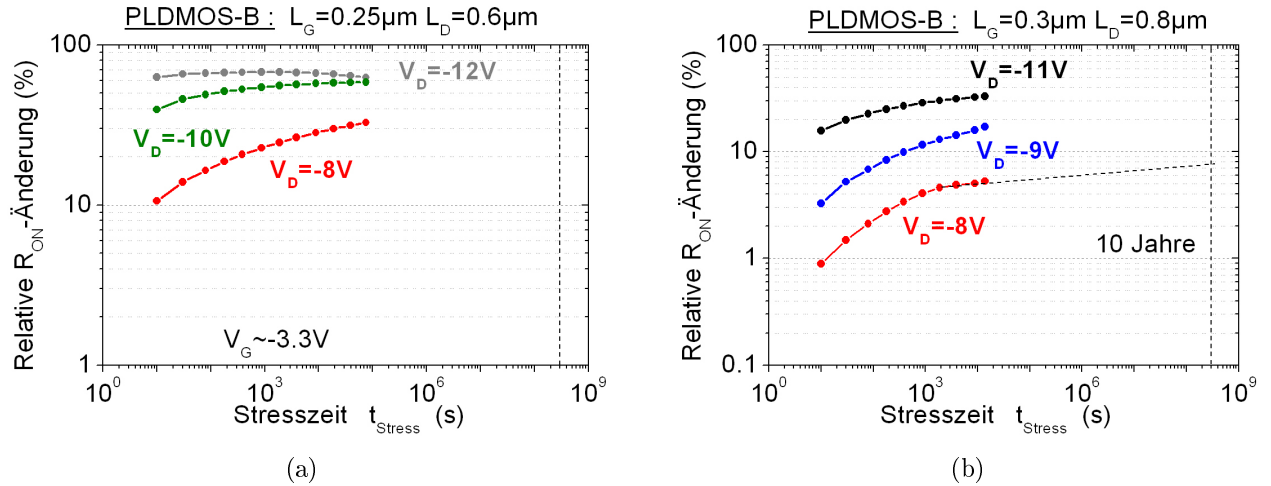


Abb. 4.27: Relative zeitliche R_{ON} -Änderung für verschiedene Drainspannungen eines PLDMOS-B-Transistors mit $L_G=0.25\mu m$ und $L_D=0.6\mu m$ (a) sowie $L_G=0.3\mu m$ und $L_D=0.8\mu m$.

die Reduzierung vom Durchlasswiderstand und eine deutliche Änderung über 10% ist schon bei einer Spannung von -8V zu erkennen. Die durch HCI bedingte Änderung steigt mit der Drainspannung bis auf ca. 65% bei $V_D=-12V$ an. Nach einer Stresszeit von ca. 10^3s sieht man speziell bei den hohen Drainspannungen eine Abnahme der relativen Änderung. Dies ist auf den zunehmenden Einfluss der durch NBTI erzeugten Festladungen zurückzuführen. Durch die Vergrößerung der Gate- und Driftlänge kann speziell die durch HCI bedingte Degradation der Transistoren verringert werden. Abbildung 4.27(b) zeigt dies für einen PLDMOS-B-Transistor mit $L_G=0.3\mu m$ und $L_D=0.8\mu m$. Die durch HCI bedingte Änderung sinkt unter 10% für eine Drainspannung von -8V. Wiederum ist nach ca. 10^3s eine Sättigung der relativen Änderung zu erkennen. Für eine korrekte Extrapolation der Lebensdauer müssten die Stresszeiten verlängert werden, um den Einfluss des NBTI-Effektes genauer zu charakterisieren.

4.4 Fazit der LDMOS-I-Transistoren

Die bisherigen Betrachtungen der LDMOS-I-Transistoren lieferten verschiedene, generelle Aussagen über das Verhalten der Driftregion. So wurde gezeigt, dass für einen NLD MOS-Transistor mit Durchbruchspannungen über 25V, die Nettogesamtdosis im Driftgebiet $\leq 5 \cdot 10^{12} cm^{-2}$ und die Driftlängen $\geq 0.8\mu m$ sein sollten. Die Dosisdifferenz ΔD nahe der Oberfläche sollte dabei $\leq 2 \cdot 10^{12} cm^{-2}$. Um unter diesen Bedingungen Transitfrequenzen $\geq 25GHz$ zu erreichen, sollte die Gatelänge $\leq 0.35\mu m$ sein. Die Langzeitstabilität kann durch die Verwendung eines nahe der Oberfläche implantierten p-Gebietes in der n-Driftregion deutlich verbessert werden. Dies ermöglicht maximale Betriebsspannung über 10V bei Driftlängen von $0.8\mu m$ und einer Net-

dotierungsdosis der gesamten Driftregion ($D_{LD1}, D_{LD2}, D_{BF2}$) von $\approx 1 \cdot 10^{13} \text{ cm}^{-2}$. Dadurch werden geringe Durchlasswiderstände von $3.8 \Omega \text{ mm}$ und Transitfrequenzen von 23 GHz erreicht.

Typ		V_T [V]	$ I_{off} $ [pA/ μm]	$ I_{ON} $ [$\mu\text{A}/\mu\text{m}$]	R_{ON} [$\Omega \text{ mm}$]	BV_{DSS} [V]	$V_{DD,max}$ [V]	f_T [GHz]
			$ V_D = 10V$ $V_G = 0V$	$ V_D = 6V$ $ V_G = 2.3V$	$ V_D = 0.1V$ $ V_G = 3.3V$	$V_G = 0V$		$ V_D = 8V$ $ V_G = 1.7V$
NLDMOS	A	1.05	<1	270	3.3	22	7.5	28
	B	1.05	<1	250	3.8	20	11	23
PLDMOS		-0.85	<1	130	15.0	-19		14

Tabelle 4.1: Gleichstrom- und Hochfrequenzparameter der komplementären LDMOS-I-Transistoren

Für den PLDMOS-B-Transistor konnten mit nur einem Maskenschritt die charakteristische Durchbruchspannung zwischen dem p-Drain und der tiefen n-Isolierung von -14.5 V auf -19 V erhöht und zudem eine schwach dotierte Driftregion realisiert werden. Dies war möglich durch die zusätzliche Verwendung der p-LDD-Implantation. Tabelle 4.1 fasst wesentliche Gleichstrom- und Hochfrequenzparameter für verschieden Varianten der NLDMOS-Transistoren und den PLDMOS-B-Transistor zusammen. Die Variante A ist ein NLDMOS-Transistor mit $L_G = 0.3 \mu\text{m}$ und $L_G = 0.6 \mu\text{m}$ sowie den Implantationen des Driftgebietes von $D_{LD1} = 6 \cdot 10^{12} \text{ cm}^{-2}$, $D_{LD2} = 5 \cdot 10^{12} \text{ cm}^{-2}$ und $D_{BF2} = 6.2 \cdot 10^{12} \text{ cm}^{-2}$. Der NLDMOS der Variante B hat eine Gatelänge von $0.35 \mu\text{m}$ und eine Driftlänge $0.8 \mu\text{m}$. Die Implantationsdosen betrugen hier $D_{LD1} = 8 \cdot 10^{12} \text{ cm}^{-2}$, $D_{LD2} = 1 \cdot 10^{13} \text{ cm}^{-2}$ und $D_{BF2} = 1.2 \cdot 10^{13} \text{ cm}^{-2}$. Der PLDMOS-B-Transistor hat eine Gatelänge von $0.25 \mu\text{m}$ und eine Driftlänge von $0.6 \mu\text{m}$. Die Implantationsdosis des p-LDD-Gebietes ist $D_{p-LDD} = 9 \cdot 10^{12} \text{ cm}^{-2}$ und das Driftgebiet wurde mit einer Dosis von $D_{p-Drift} = 6 \cdot 10^{12} \text{ cm}^{-2}$ hergestellt.

Kapitel 5

Drainerweiterung durch Standardimplante (LC-LDMOS)

Ein wesentliches Ziel dieser Arbeit war die Entwicklung von komplementären LDMOS-Transistoren mit möglichst geringem zusätzlichem Aufwand zum Basis-BiCMOS-Prozess. Für die in Kapitel 4 diskutierten LDMOS-I-Transistoren konnte der Zusatzaufwand auf einen Maskenschritt und verschiedene Implantationen reduziert werden. Die Integration der im Folgenden vorgestellten LC-LDMOS-Transistoren verlangt dagegen keine zusätzlichen Prozesssequenzen. Sie nutzt nur Schritte aus dem Basis-CMOS-Prozess. Dadurch müssen parallel zu den gewonnenen LDMOS-Ergebnissen, die durch leichte Modifikationen der Basis-CMOS-Schritte erreicht wurden, auch immer die Auswirkungen auf die CMOS-Elemente selbst betrachtet werden. Im Folgenden werden die allgemeinen Konstruktionsprinzipien und verschiedene Layoutvarianten der LC-LDMOS-Transistoren vorgestellt. Die LDD-Implantationen des Basis-CMOS-Prozesses werden zur Herstellung der schwach dotierten Driftregion in den LC-LDMOS-Transistoren genutzt. Neben Abhängigkeiten des Gleichstrom- und Hochfrequenzverhaltens der Transistoren von Gate- und Driftlänge werden auch Variationen in den LDD-Implantationen untersucht. Dies ermöglicht die gleichzeitige Herstellung von LDMOS-Elementen ohne die Leistungsfähigkeit der CMOS-Transistoren stark zu beeinflussen.

5.1 Integration und Typen der LC-LDMOS-Transistoren

Die Kanaldotierung wurde auch bei den LC-LDMOS-Transistoren durch die CMOS-Wannenimplantationen und die Haloimplantationen der 1.2 V-CMOS-Transistoren realisiert. Analog zu den LDMOS-I-Transistoren aus Kapitel 4 beträgt die Überlappung von Gate und Wannenregion im Fall des LC-NLDMOS-Transistors $L_{W,n}=0$ und beim LC-PLDMOS-Transistor $L_{W,p}=50\text{ nm}$.

Konstruktion der Driftregion

Die schwach dotierten Drainerweiterungen der LC-LDMOS-Transistoren werden durch die LDD-Implantationen des Basis-CMOS-Prozesses realisiert. Für die Driftregion des LC-PLDMOS wird die reine p-LDD-Implantation genutzt. Bei der Realisierung des Driftgebietes der LC-NLDMOS-Transistoren wird dagegen eine Kombination aus n- und p-LDD Implantation verwendet. Dabei wird das n-LDD-Gebiet durch die p-LDD-Implantation gegenkompensiert und ein schwach n-dotiertes Driftgebiet wird realisiert. Bei einer äquivalenten Tiefenausdehnung der LDD-Implantationen ist diese Konstruktion nur möglich, solange für die Dosiswerte gilt $D_{n-LDD} > D_{p-LDD}$. Die LDD-Gebiete werden bei den LC-LDMOS-Transistoren nur auf der Drainseite des Transistors implantiert (Abb. 5.1). Die Maskenkante befindet sich auf den Polysilizium-Gates mit einem Abstand von $L_P = 0.1 \mu\text{m}$ zur Gatekante (Abb. 5.1(b)). Dadurch kommt es bei der Implantation der LDD-Gebiete unter einem von 0° abweichenden Einfallswinkel der Ionen zu Abschattungseffekten über der Driftregion.

Abschattungseffekte in der Driftregion

Bei der Implantation der LDD-Gebiete über einen von 0° abweichenden Einfallswinkel α (Abb. 5.1(b)), wird die Gesamtdosis D_d in vier einzelne Implantationen mit jeweils $\frac{1}{4}D_d$ gesplittet. Die einzelnen Implantationen werden dann in drehsymmetrischen Schritten von 90° realisiert (Abb. 5.1(a)).

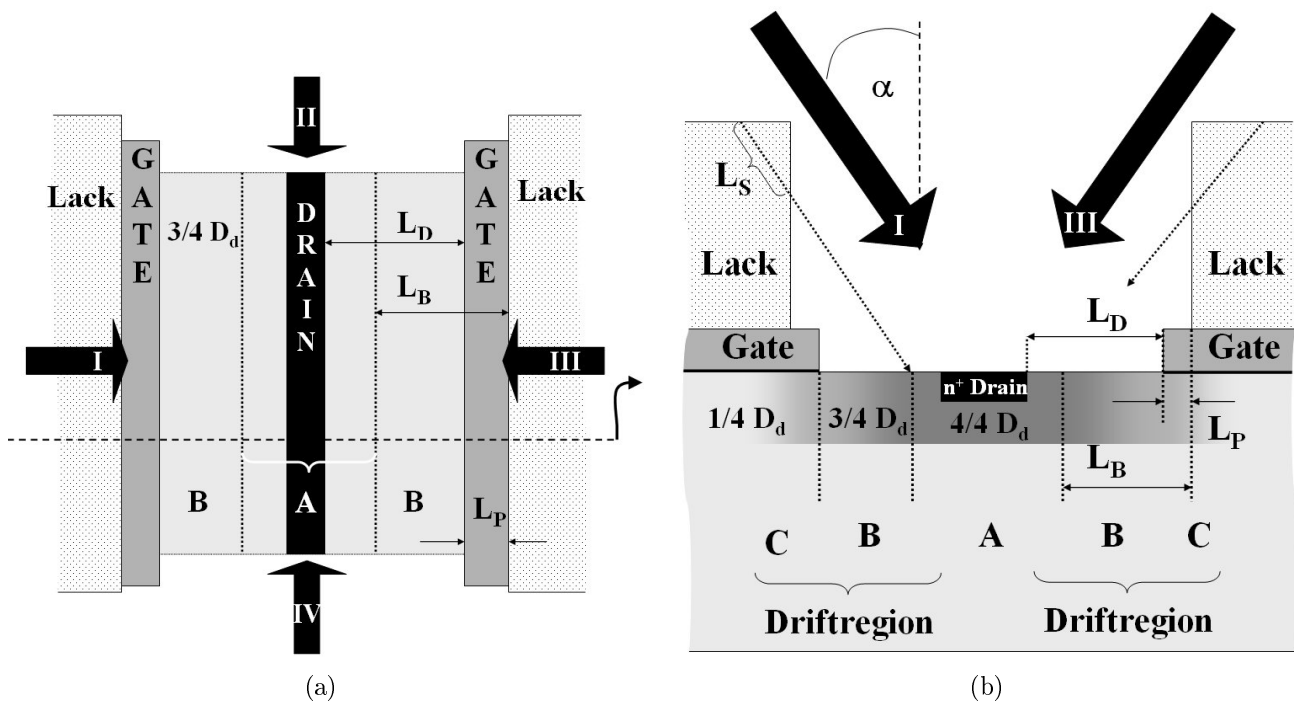


Abb. 5.1: Abschattungseffekte bei der Implantation des Driftgebietes in der Draufsicht (a) und im Querschnitt (b). Die römischen Ziffern I-IV beschreiben die je mit $\frac{1}{4} D_d$ realisierten Implantationen.

Beim LC-LDMOS-Transistor kommt es durch die Implantation der LDD-Regionen unter einem Winkel von $\alpha > 0^\circ$ zur Ausbildung von verschieden stark dotierten Gebieten in der Driftregion. Die auf dem Gate positionierte Maske blockt ein Viertel der implantierten Dosis nahe der drainseitigen Gatekante (Region B in Abb. 5.1(b)). Die Ausdehnung der Region L_B , in welcher 1/4 der Gesamtdosis völlig geblockt wird, kann in erster Näherung durch

$$L_B = (d - L_S \cdot \cos \alpha) \tan \alpha \quad (5.1)$$

abgeschätzt werden. Dabei ist d die Gesamtdicke aus Photolack und Polysilizium-Gate und L_S die spezifische Eindringtiefe im Photolack, die von der Art des Dotanden und der Implantationsenergie abhängt. Für Phosphor hat L_S bei dem hier verwendeten Photolack einen Wert von $\approx 100 \text{ nm}$ bei einer Energie von ca. 35 keV [56]. Daraus resultiert bei einer Lackdicke von ca. $0.8 \mu\text{m}$ und einem Implantationswinkel von $\alpha = 20^\circ$ eine Abschattungsregion mit $L_B \approx 300 \text{ nm}$. Mit einem festgelegten Abstand $L_P = 100 \text{ nm}$ zwischen Masken- und Gatekante ergibt sich so ein Bereich von ca. 200 nm innerhalb der Driftregion, in welchem nur 3/4 der Gesamtdosis implantiert werden. Außerdem wird durch die 4-fach gedrehte Implantation ein Viertel der Gesamtdosis unter die Gatekante gebracht. Dadurch erhält man ein inhomogenes Driftgebiet mit abnehmender Dotierung zum Gate hin. Bei den Basis-CMOS-Transistoren wird eine gekippte LDD-Implantation nur durch das Polysilizium-Gate abgeschattet. Bei einer Höhe des Polysiliziums von nur 160 nm sind die Abschattungseffekte zu vernachlässigen. Dadurch können hohe LDD-Konzentrationen für die CMOS-Elemente genutzt werden und trotzdem ein schwach dotiertes Driftgebiet in den LDMOS-Transistoren mit den gleichen Implantationen erzeugt werden.

5.1.1 Der LC-PLDMOS-Transistor

Abbildung 5.2 zeigt den Querschnitt des LC-PLDMOS-Transistors. Für die Realisierung der lateralen Drainerweiterung wird die p-LDD-Implantation genutzt. Die n-Wanne wird bis zur sourceseitigen Gatekante zurückgezogen und mit einer gezeichneten Gateüberlappung von $L_{W,p} = 50 \text{ nm}$ hergestellt. Die tiefe n-Isolierung des Basis-CMOS-Prozesses befindet sich unter dem gesamten Bauelement. Der in Kapitel 3.2.2 diskutierte elektrische Durchbruch des vertikalen pn-Übergangs ($BV_{\text{Drain/Wanne}} = -11 \text{ V}$) wird durch seitliches Zurückziehen der n-Wanne verhindert. Damit bricht der pn-Übergang zwischen dem hochdotierten p-Drain und dem darunterliegenden n-Gebiet (n-Isolierung) erst bei einer angelegten Sperrspannung von $BV_{\text{iso}} \approx -14.5 \text{ V}$ durch.

Für die Realisierung des LC-PLDMOS-Transistors musste die p-LDD-Implantation so angepasst werden, dass der laterale Durchbruch zwischen Wanne und Driftregion

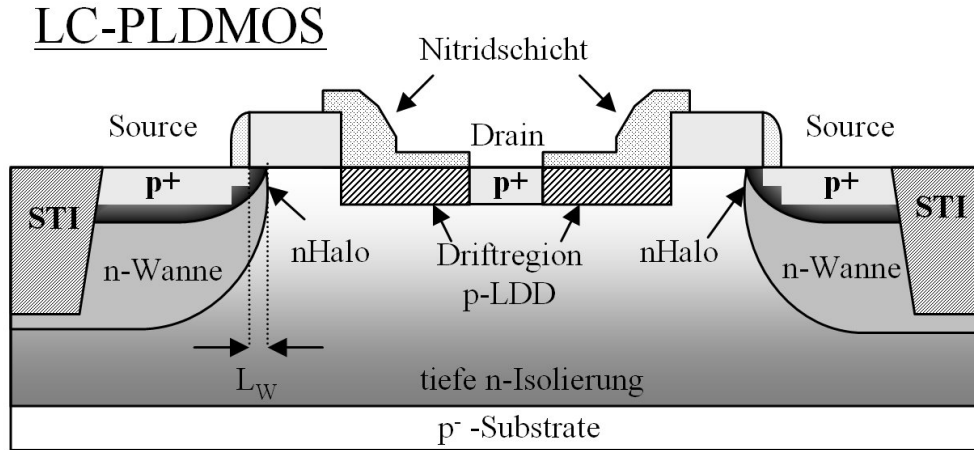


Abb. 5.2: Querschnitt des LC-PLDMOS-Transistors mit p-LDD-Implantation als Driftregion

erst bei Spannungen von $|V_D| > 14.5 \text{ V}$ eintritt. Das Prozessfenster für diese Anpassung ist dabei sehr eingeschränkt. Mit einer Dosis von $D_{p-LDD} \approx 1 \cdot 10^{13} \text{ cm}^{-2}$ ist ein Wert gegeben, der möglichst nicht weiter reduziert werden sollte, da dies zu einem starken Abnehmen des Sättigungsstromes I_{DS} beim 3.3 V-PMOS führt.

Verschiedene Variationen der p-LDD-Implantation in Dosis, Winkel und Energie wurden realisiert und deren Einfluss auf den 3.3 V-PMOS untersucht. Tabelle 5.1 gibt einen Überblick über Leckstrom I_{DL} , Sättigungsstrom I_{DS} und Schwellspannung V_T der verschiedenen Varianten. Generell führt eine Verringerung der Dosis zur Abnahme des Stroms I_{DS} . Dabei sollte die Spezifikationsgrenze von $200 \mu\text{A}/\mu\text{m}$ nicht unterschritten werden. Parallel zu den Auswirkungen der verschiedenen p-LDD-

Variante	α	Energie keV	Dosis 10^{12} cm^{-2}	$\log I_{DL} \text{ (A)}$		$I_{DS} \text{ (}\mu\text{A}/\mu\text{m)}$		$V_T \text{ (mV)}$	
					σ		σ		σ
A	0	5	8	-12,56	0,07	-202,8	2,8	-668,2	10
B	0	5	10	-12,6	0,07	-212,6	4,6	-666,4	16
I	20	8	10	-12,69	0,07	-217,7	3,0	-635,5	8,9
II	20	8	9	-12,71	0,15	-213,5	2,6	-636,9	10,5
III	20	8	8	-12,76	0,04	-210,1	2,6	-638,1	7

Tabelle 5.1: p-LDD Variationen und dazugehörige Parameter des 3.3 V-PMOS

Varianten auf den 3.3 V-PMOS wurde auch immer deren Nutzbarkeit als Driftgebiet für den LC-PLDMOS betrachtet. Abbildung 5.3 zeigt die verschiedenen Sperrkennlinien bei einer Gatespannung von $V_G = 0 \text{ V}$. Die Transistoren haben eine Driftlänge von $L_D = 0.6 \mu\text{m}$ und eine Gatelänge von $L_G = 0.25 \mu\text{m}$. Bei gleicher Implantationsenergie und zunehmenden p-LDD-Konzentrationen steigt der Leckstrom an und ein harter Durchbruch ist in dem hier dargestellten Messbereich nicht zu beobachten. Bei Verwendung der p-LDD-Dosis von Variante B zeigt sich, dass der Strom exponentiell ansteigt. Dabei ähnelt das Leckstromverhalten im LC-PLDMOS dem Verhalten des 3.3 V-PMOS und kann auch auf gateinduzierte Leckströme zurück-

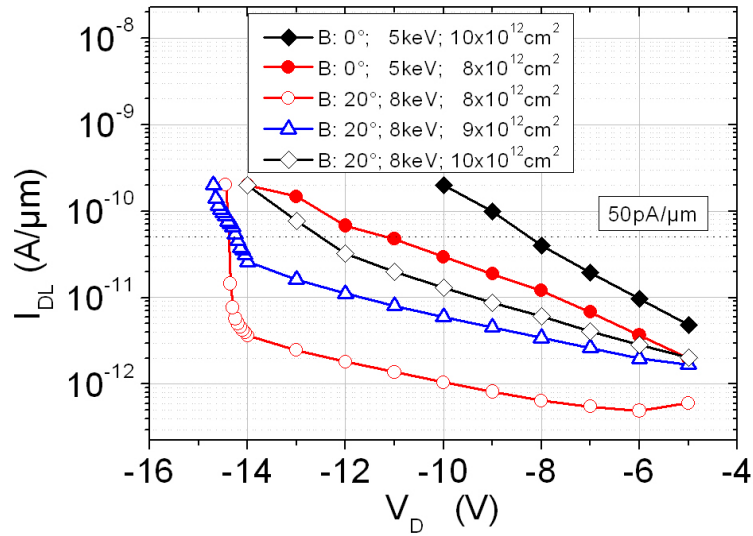


Abb. 5.3: Sperrkennlinien des LC-PLDMOS-Transistor mit verschiedenen p-LDD-Varianten ($L_G = 0.35\mu\text{m}$ und $L_D = 0.65\mu\text{m}$)

geführt werden (siehe Abb. 3.4). Allerdings beginnt der Anstieg von I_{DL} , aufgrund des größeren Potentialabfalls in der lateral erweiterten p-LDD-Region beim LC-PLDMOS bei etwas höheren Sperrspannungen V_D . Eine einfache Verringerung der Dosis (Variante A, Tab. 5.1) verbessert dieses Verhalten geringfügig.

Implantiert man das p-LDD-Gebiet unter einem Winkel, nutzt man die beschriebenen Abschattungseffekte innerhalb der Driftregion. Die Implantationsenergie muss in diesem Fall erhöht werden, um den gleichen effektiven R_P -Wert, der sich durch

$$R_P(ef\text{f}) \approx \cos \alpha \cdot R_P(E) \quad (5.2)$$

abschätzen lässt, zu erreichen. Der Photolack auf dem Gate des LC-PLDMOS blockt bei der Implantation des p-LDD-Gebietes ein Viertel der Dosis. Damit ergibt sich bei einer implantierten Dosis von $1 \cdot 10^{13} \text{cm}^{-2}$ eine effektive Dosis von $7.5 \cdot 10^{12} \text{cm}^{-2}$ im gatenahen Driftgebiet. Dies spiegelt sich in den Sperrkennlinien wider und führt zu höheren Werten für BV_{DSS} bei gekippten Implantationen (Abb. 5.3).

Die Auswirkungen einer gekippten Implantation für den 3.3 V-PMOS sind dabei sehr gering, da die Abschattungseffekte nur durch das Polysilizium-Gate verursacht werden. Vergleicht man die Varianten mit einer äquivalenten Dosis (B und I) in Tabelle 5.1, erkennt man für den 3.3 V-PMOS einen kleinen Anstieg im Strom I_{DS} und eine Verringerung der Schwellspannung bei gekippten p-LDD-Implantationen. Beide Effekte sind auf die effektiv kürzere Gatelänge bei gekippten LDD-Implantationen zurückzuführen. Eine weitere Reduzierung der Dosis führt auch hier zu einer Verringerung des Stroms (siehe Var. II).

Für den LC-PLDMOS mit einer p-LDD-Implantation von $D_{p-LDD} = 9 \cdot 10^{12} \text{cm}^{-2}$ und einem Winkel von $\alpha = 20^\circ$ erhält man ein Sperrverhalten, das bis zu einer Drainspannung von $V_D = -14.5 \text{ V}$ Leckströme unter $50 \text{ pA}/\mu\text{m}$ liefert (Abb. 5.3). Wird die Dosis

noch weiter verringert, sinkt das Leckstromlevel sogar bei Drainspannungen bis -14 V unter $10\text{pA}/\mu\text{m}$.

Für die Realisierung eines LC-PLDMOS-Transistors sollten demnach gekippte p-LDD-Implantationen mit Dosiswerten unter $D_{p-LDD} < 9 \cdot 10^{12} \text{cm}^{-2}$ genutzt werden, wie z.B. Variante II. Bis auf eine leichte V_T -Verschiebung von 30 mV zieht das keine signifikanten Veränderungen der 3.3 V-PMOS-Parameter nach sich.

Die Ausgangscharakteristika des LC-PLDMOS für unterschiedliche p-LDD-Implantationen sind in Abbildung 5.4 dargestellt. Ein leichter Anstieg im Durchlasswiderstand ist mit abnehmender Dosis zu erkennen. Jedoch unterscheiden sich die Sättigungsströme nur minimal.

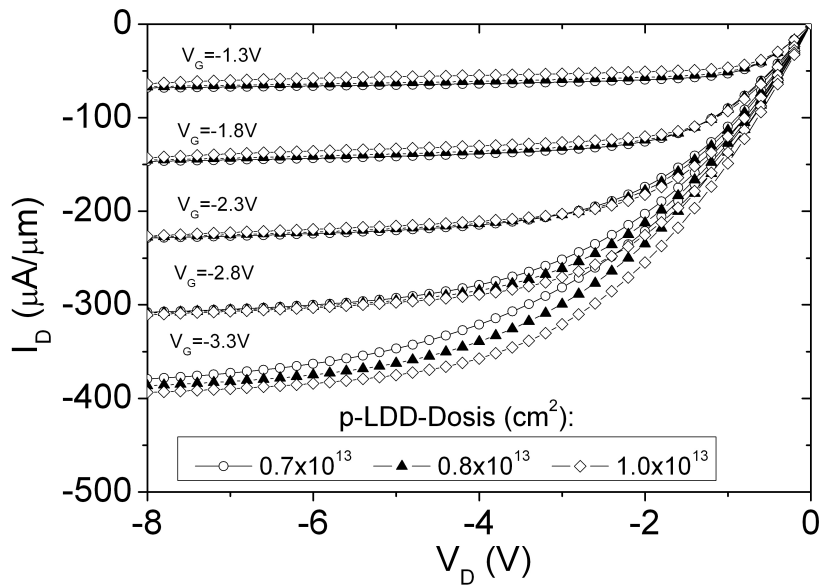


Abb. 5.4: Ausgangskennlinien des LC-PLDMOS mit $L_G=0.25\mu\text{m}$ und $L_D=0.6\mu\text{m}$ für verschiedene, unter 20° -implantierte p-LDD-Varianten.

5.1.2 Der LC-NLDMOS-A-Transistor

Einen prinzipiellen Querschnitt des symmetrisch zum Drain aufgebauten LC-NLDMOS-A zeigt Abbildung 5.5. Die Wannenimplantation wurde, wie beim LC-PLDMOS, in Richtung Source zurückgezogen, um den vertikalen Durchbruch zwischen Drain und Wanne zu verhindern ($BV_{\text{vertikal}} \approx 11\text{ V}$ siehe Abb. 3.5).

Für die Driftregion der LC-NLDMOS-Transistoren wurde die Kombination der LDD-Implantationen der 3.3 V-CMOS Elemente genutzt, d.h. n-LDD und p-LDD. Verwendet man alternativ nur die reinen n-LDD-Implantationen der NMOS-Transistoren als Driftgebiet, ergibt sich die in Abb. 5.6 dargestellte Abhängigkeit des Leckstroms I_{DL} von der Drainspannung V_D . Betrachtet wurden hier nur n-LDD-Dosiswerte unter $D_{n-LDD} < 1.8 \cdot 10^{13} \text{cm}^{-2}$, da nur für solche Werte für den 3.3 V-NMOS ein langzeitstabiler Betrieb möglich ist. Durch die zur Sourceseite hin zurückgezogene Wanne und die selbstjustierten LDD-Implantationen an der Drainseite,

LC-NLDMOS-A

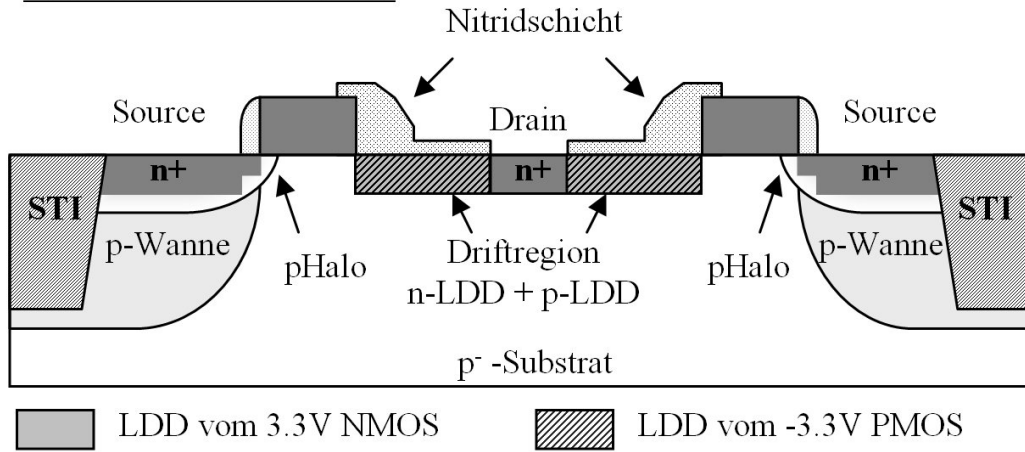


Abb. 5.5: Querschnitt des LC-NLDMOS-A-Transistors

ergibt sich konstruktionsbedingt ein Abstand von $L_{PN} \approx L_G$ für den pn-Übergang zwischen Wanne und Driftgebiet (siehe Abb. 3.7). Da die dotierten Gebiete auch eine laterale Ausdehnung besitzen ($\Delta R_p(y) \approx 0.8 \Delta R_p(x)$), ist der resultierende Abstand geringer, sorgt aber dennoch für eine Reduzierung der elektrischen Feldstärken am lateralen pn-Übergang. Zudem verhindert der größere Spannungsabfall über der Driftregion, die durch das Gate induzierten Leckströme.

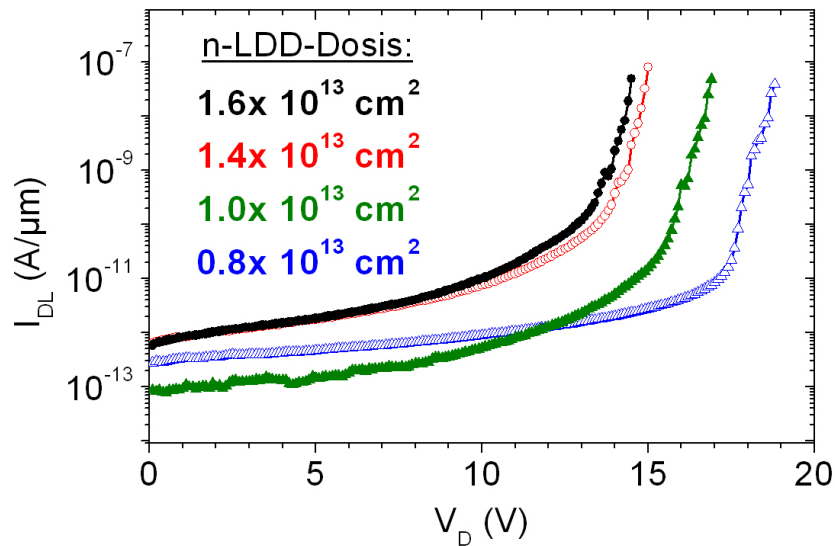


Abb. 5.6: Sperrkennlinien in Abhängigkeit der n-LDD-Dosis für einen LC-NLDMOS-A-Transistor mit $L_G=0.35\mu m$ und $L_D=0.6\mu m$

Mit abnehmender Dosis des Driftgebietes steigt BV_{DSS} kontinuierlich an (Abb. 5.6). Für Dosiswerte unter $1 \cdot 10^{13} cm^{-2}$ werden schließlich Durchbruchspannungen über 15 V erreicht. Die Reduzierung der n-LDD-Dosis verringert aber vor allem die maximalen Ströme I_{DS} der 3.3 V-NMOS-Transistoren. Um die Herstellung von NLDMOS-Transistoren mittels der LDD-Implantationen zu ermöglichen, ohne die

Leistungsfähigkeit der 3.3 V-NMOS-Transistoren signifikant zu verändern, wurde die Überlagerung der n-LDD- und p-LDD-Gebiete genutzt. So konnte eine schwach n-dotierte Driftregion realisiert werden. Die gezielte Kompensation der n-LDD durch die p-LDD-Implantationen in der Driftregion erlaubt eine erhöhte Dosis der n-LDD-Implantation bei gleichzeitiger Reduzierung der Nettodosis im Driftgebiet.

Gleichstromcharakteristika des LC-NLDMOS-A-Transistors

Bei den LC-NLDMOS-A-Transistoren wurde die n-LDD-Implantation innerhalb des gesamten Driftgebietes durch die p-LDD Implantation kompensiert [57]. Abbildung 5.7 zeigt die Sperrkennlinien und Ausgangscharakteristik zweier LC-NLDMOS-A-Transistoren mit einer Gatelänge von $0.35\mu\text{m}$ und einer Driftlänge von $0.6\mu\text{m}$. Die n-LDD-Region wurde mit einer Dosis von $D_{n-LDD}=2\cdot 10^{13}\text{ cm}^{-2}$ unter einem Winkel von $\alpha=20^\circ$ implantiert. Zur Kompensation wurden zwei unterschiedliche Varianten der p-LDD-Implantation mit einer Dosis von $D_{p-LDD}=1\cdot 10^{13}\text{ cm}^{-2}$ untersucht. Im ersten Fall wurde die Kompensation senkrecht implantiert. Im zweiten Fall erfolgte die Implantation unter einem Winkel von $\alpha=20^\circ$. Für die gekippte p-LDD-Implantation ist die Durchbruchspannung kleiner als beim Transistor mit der senkrecht eingebrachten Kompensation (Abb. 5.7(a)). Grund dafür sind die bereits beschriebenen Abschattungseffekte im Driftgebiet nahe der drainseitigen Gatekante. Für den unter einem Winkel implantierten p-LDD ist die Kompensation des n-LDD-Gebietes nahe der drainseitigen Gatekante geringer, da hier $1/4$ der p-LDD-Dosis geblockt wird. Der Unterschied der verschiedenen Kompensationen spiegelt sich auch in den Ausgangskennlinien wider (Abb. 5.7(b)). Für den LC-NLDMOS-Transistor dessen Driftgebiet mit einer mit 0° - Implantation kompensiert wurde, ist aufgrund der geringeren Driftdotierung ein erhöhter Durchlasswiderstand von $R_{ON}(0^\circ)=4.1\Omega\text{mm}$ im Vergleich zu $R_{ON}(20^\circ)=3.8\Omega\text{mm}$ zu beobachten.

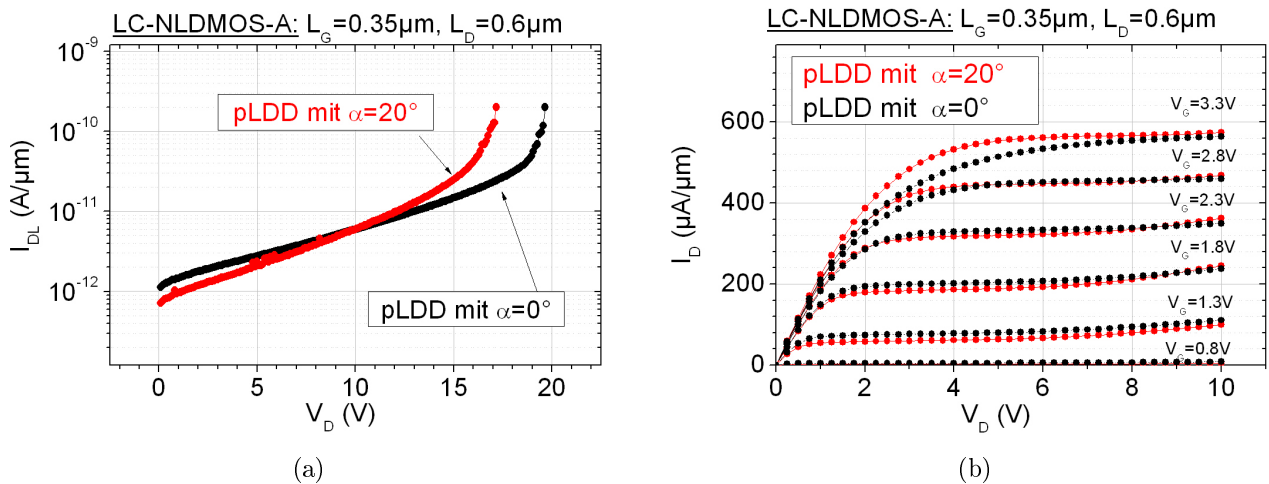


Abb. 5.7: Sperrkennlinien (a) und Ausgangscharakteristika (b) für zwei LC-NLDMOS-A-Transistoren mit winkelabhängigen Kompensationsimplanten.

Abbildung 5.8 zeigt die Durchbruchspannung und den Durchlasswiderstand in Abhängigkeit der Driftlänge für den LC-NLDMOS-A mit der 0°-Kompensation. Für die hier verwendeten Dotierungskonzentrationen, verarmt die relativ hohe Nettodosis im Bereich A der Driftregion (Abb. 5.1) auch bei höheren Drainspannungen nicht vollständig. Dadurch kommt es in den Regionen B und C zum eigentlichen Spannungsabbau im Driftgebiet. Die Ausdehnung der Region B ist nicht von der gezeichneten Driftlänge L_D abhängig. Deswegen ist kein Anstieg in der Durchbruchspannung mit ansteigender Driftlänge zu beobachten. Der Durchlasswiderstand R_{ON} steigt linear mit der gezeichneten Driftlänge, gemäß dem Widerstandsgesetz eines elektrischen Leiters an ($R \propto L$).

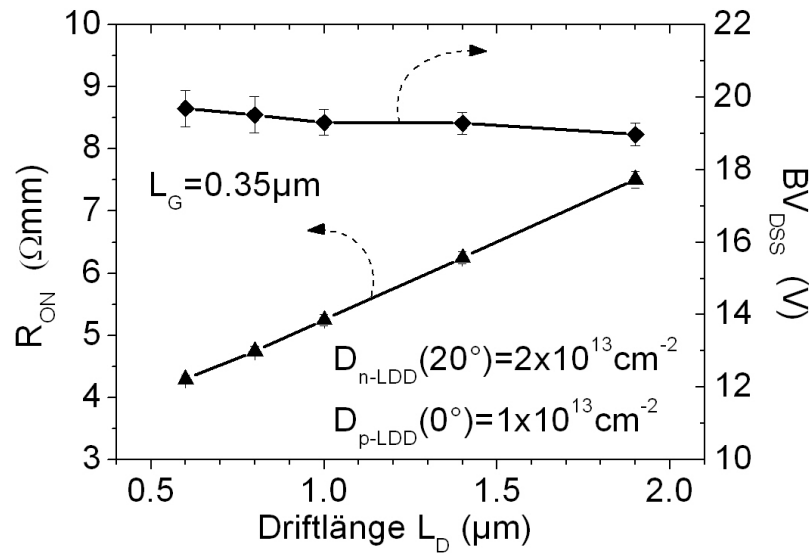


Abb. 5.8: Durchbruchspannung BV_{DSS} und Durchlasswiderstand R_{ON} in Abhängigkeit der Driftlänge (NLDMOS-A)

Auswirkungen von n-LDD-Dosisvariationen

Zur erfolgreichen Realisierung eines LC-PLDMOS-Transistors wurde in den vorangegangenen Betrachtungen eine p-LDD-Dosis von $9 \cdot 10^{12} \text{cm}^{-2}$ ermittelt. Für die n-LDD-Implantation ergeben sich dann Dosiswerte zwischen $1 \cdot 10^{13} \text{cm}^{-2} < D_{n-LDD} < 1.8 \cdot 10^{13} \text{cm}^{-2}$, um bei den richtigen Implantationsbedingungen (Energie, Winkel) Werte der Nettodosis unter $1 \cdot 10^{13} \text{cm}^{-2}$ zu erreichen. In verschiedenen Versuchen wurden unterschiedliche n-LDD-Dosiswerte und Geometrien vom LC-NLDMOS-A untersucht. Dabei wurde zur Kompensation eine gekippte p-LDD-Implantation mit einer Dosis von $D_{p-LDD} = 9 \cdot 10^{12} \text{cm}^{-2}$ verwendet.

Abbildung 5.9 zeigt die Sperrkennlinien bei $V_G = 0 \text{ V}$. Für Transistoren mit einer Gatelänge von $L_G = 0.35 \mu\text{m}$ und $L_D = 0.5 \mu\text{m}$ (Abb. 5.9(b)) steigt die Durchbruchspannung BV_{DSS} bis auf 21 V an, wenn man die n-LDD-Dosis auf $D_{n-LDD} = 1.2 \cdot 10^{13} \text{cm}^{-2}$

reduziert. Für kleinere Gatelängen ($L_G=0.2\ \mu\text{m}$) beträgt die durch Dosisreduzierung erreichte maximale Durchbruchspannung etwa 17.5 V (Abb. 5.9(a)).

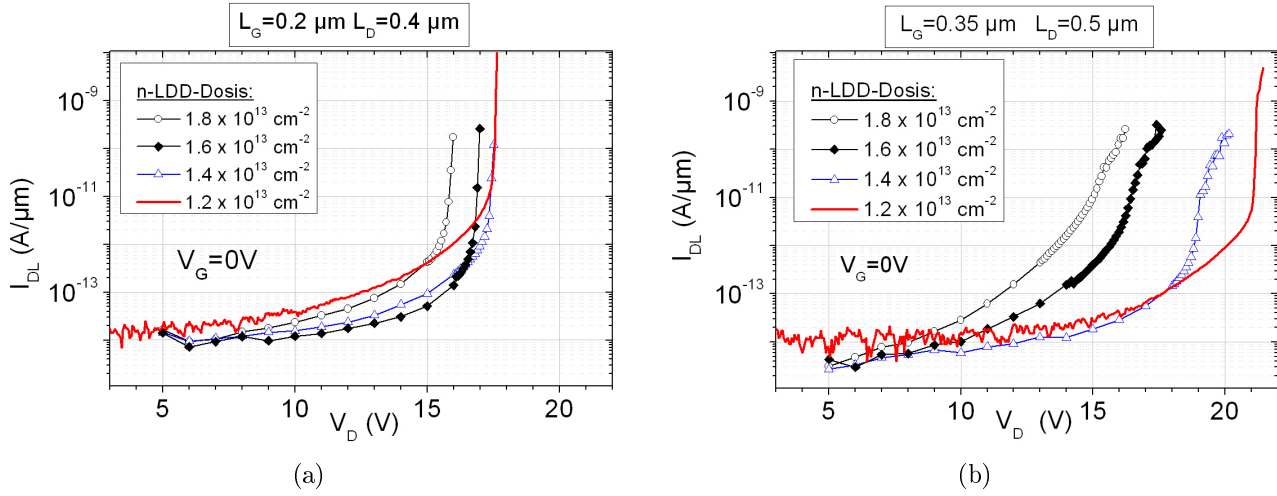


Abb. 5.9: Sperrkennlinien der LC-NLDMOS-A-Transistoren bei verschiedener n-LDD-Dosis und unterschiedlicher Geometrien mit $L_G=0.2\ \mu\text{m}$; $L_D=0.4\ \mu\text{m}$ (a) und $L_G=0.35\ \mu\text{m}$; $L_D=0.5\ \mu\text{m}$ (b).

Beim Vergleich der unterschiedlichen Geometrien wird der Einfluss des p-Wannenimplantes auf die Driftregion deutlich. Die Borwanne diffundiert während des Prozesses lateral in Richtung Drain/Driftgebiet. Bei kürzeren Gatelängen nimmt die Verarmung des Driftgebietes nahe der drainseitigen Gatekante zu. Da der hauptsächliche Spannungsabbau in diesem Bereich erfolgt, erklärt sich das geringere Leckstromniveau für die Transistoren mit kürzeren Gatelängen bei Drainspannungen über 10 V im Vergleich zu den Transistoren mit $L_G=0.35\ \mu\text{m}$. Die Effekte der lateralen Kompensation sieht man auch im Ausgangskennlinienfeld (Abb.5.10). Die Transistoren mit $L_G=0.2\ \mu\text{m}$ weisen höhere Durchlasswiderstände auf als die mit größerer Gatelänge. Mit abnehmender n-LDD-Dosis beobachtet man eine verstärkte Quasisättigung in den Transistoren. Grund dafür ist die geringe Dotierungskonzentration des Driftgebietes nahe der drainseitigen Gatekante. Wird die Gatelänge vergrößert, nimmt der Einfluss der p-Wanne auf die Driftregion ab und die Sättigung verbessert sich. Die Quasisättigung wird ebenfalls unterbunden, wenn die Konzentration des n-LDD-Gebietes an der drainseitigen Gatekante durch eine erhöhte n-LDD-Dosis steigt (Abb.5.10(b)). Aufgrund der kürzeren Gatelänge sind die Sättigungsströme I_D der Transistoren mit $L_G=0.2\ \mu\text{m}$ für die unterschiedlichen Dosiswerte höher als beim vergleichbaren Transistor mit $L_G=0.35\ \mu\text{m}$. Ab einer Drainspannung von ca. 6 V beobachtet man zunehmend Durchgriffe (Punch-Through) zwischen Driftgebiet und Source für die Transistoren mit $L_G=0.2\ \mu\text{m}$ (Abb. 5.10(a)). Diese führen zu einem weiteren Ansteigen des Stroms, der nicht mehr durch das Gate gesteuert wird. Geringere Dosiswerte verbessern dieses Verhalten bei großen V_D , bewirken jedoch erhöhte Durchlasswiderstände. Aufgrund

dieser Effekte gelangen die LC-NLDMOS-A-Transistoren mit $L_G=0.2\mu\text{m}$ in keine ideale Sättigung für $V_G>1.8\text{ V}$.

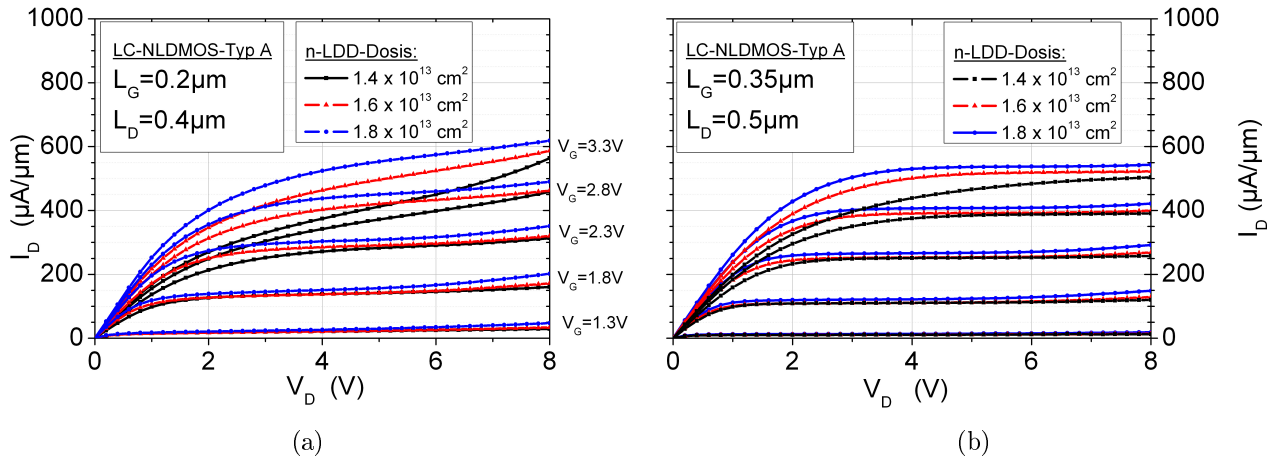


Abb. 5.10: Ausgangskennlinien für LC-NLDMOS-A-Transistoren mit $L_G=0.2\mu\text{m}$ und $L_D=0.4\mu\text{m}$ (a) sowie $L_G=0.35\mu\text{m}$ und $L_D=0.5\mu\text{m}$ (b). Eine abnehmende n-LDD-Dosis begünstigt die Quasisättigung. Dieser Effekt wird bei kürzeren Gatelängen noch verstärkt.

In Tabelle 5.2 sind die Durchlasswiderstände für verschiedene Dosisvariationen, Gate- und Driftlängen aufgeführt. Der Durchlasswiderstand steigt mit geringerer Dosis für beide Geometrien. Für die hier untersuchte maximale Dosis von $1.8 \cdot 10^{13} \text{ cm}^{-2}$ sinkt der Widerstand mit kürzeren Gatelängen. Allerdings zeigt er bei geringeren Dosiswerten einen Anstieg mit abnehmender Gatelänge. Grund dafür sind die beschriebenen Kompensationseffekte der Driftregion, welche auf die laterale Ausdehnung der p-Wanne zurückzuführen sind.

	$R_{ON} [\Omega\text{mm}]$			
Dosis	$L_G = 0.2\mu\text{m}$		$L_G = 0.35\mu\text{m}$	
	$L_D = 0.4\mu\text{m}$		$L_D = 0.5\mu\text{m}$	
10^{13} cm^{-2}		σ		σ
1.2	6.8	0.05	5.4	0.04
1.4	4.6	0.05	4.2	0.04
1.6	3.5	0.04	3.54	0.01
1.8	3.06	0.04	3.23	0.02

Tabelle 5.2: Durchlasswiderstand R_{ON} mit Standardabweichung σ für unterschiedliche n-LDD-Dosiswerte und verschiedenen Gatelängen L_G des LC-NLDMOS „Typ A“. R_{ON} wurde bei $V_D=0.1\text{ V}$ und $V_G=3.3\text{ V}$ bestimmt.

5.1.3 Der LC-NLDMOS-B-Transistor

Ein wesentliches Ziel dieser Arbeit war es, Transistoren mit hohen Durchbruchspannungen, kleinen Durchlasswiderständen, einem guten Sättigungsverhalten und hohen Grenzfrequenzen zu entwickeln. Da die Gatelänge einer der wichtigsten Parameter ist, die das Hochfrequenzverhalten beeinflussen, wurde nach Möglichkeiten gesucht, Transistoren mit $L_G < 0.35 \mu\text{m}$ zu realisieren und dabei die beschriebenen Vergrößerung des Durchlasswiderstandes und die Effekte der Quasisättigung zu vermeiden. Der im Folgenden vorgestellte LC-NLDMOS-B ermöglicht eine Erhöhung der n-Dotierungskonzentration an der drainseitigen Gatekante und erlaubt es, beide Forderungen zu erfüllen.

Abbildung 5.11 zeigt den Querschnitt des LC-NLDMOS-B-Transistors bei dem die Kompensation (p-LDD) nicht mehr großflächig über dem Driftgebiet implantiert wird. Dadurch wird die Driftregion nur partiell kompensiert und die Nettodotierungskonzentration im Driftgebiet an der drainseitigen Gatekante steigt im Vergleich zum LC-NLDMOS-A.

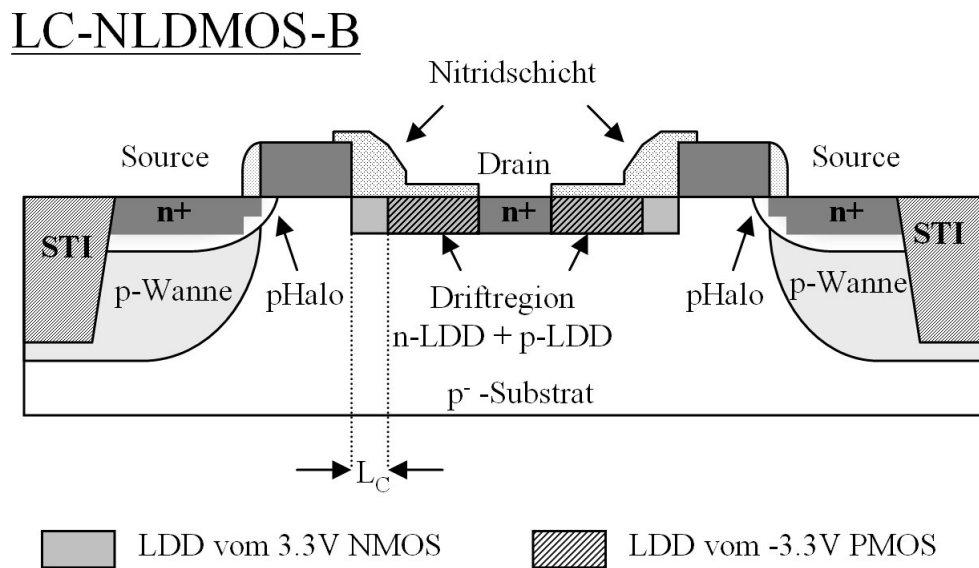


Abb. 5.11: Schematischer Querschnitt eines zum Drain symmetrischen LC-NLDMOS „Typ B“ mit partiell kompensierter Driftregion.

Die Maskenkante für die p-LDD-Implantation wird mit einem Abstand L_C von der Gatekante positioniert. Die Genauigkeit der Justage der p-LDD-Maske bei diesem Prozessschritt beträgt $\pm 50\text{ nm}$. Es zeigte sich, dass ein Abstand von $L_C = 0.1\text{ }\mu\text{m}$ ein idealer Wert ist, um einen stabilen und reproduzierbaren LC-NLDMOS-B zu realisieren. Im LC-NLDMOS-B erhält man so ein von der p-LDD-Implantation unabhängiges Gebiet an der drainseitigen Gatekante. Dies ermöglicht die Optimierung der Kompensation im drainseitigen Driftgebiet, ohne die Nettodotierungskonzentration am Kanalanschluss der Driftregion zu reduzieren.

Abbildung 5.12 zeigt den Einfluss unterschiedlicher p-LDD-Implantationen bei ei-

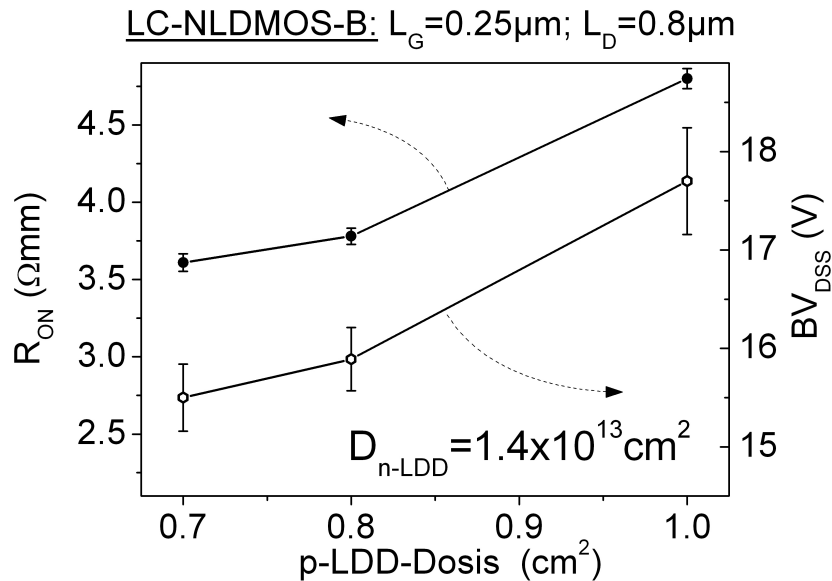


Abb. 5.12: R_{ON} und BV_{DSS} des LC-NLDMOS-B für verschiedene p-LDD-Implante

ner festen n-LDD-Dosis von $D_{n-LDD} = 1.4 \cdot 10^{13} \text{ cm}^{-2}$. Die Durchbruchspannung und der Durchlasswiderstand sinken mit abnehmender p-LDD-Dosis, da die Nettodotierungskonzentration der Driftregion steigt.

5.1.4 Vergleich von LC-NLDMOS-A und LC-NLDMOS-B

Die Verwendung des LC-NLDMOS-B-Transistors an Stelle des LC-NLDMOS-A erlaubt es, eine reduzierte n-LDD-Dosis ($D_{n-LDD} < 1.6 \cdot 10^{13} \text{ cm}^{-2}$) zu verwenden und dennoch geringe Durchlasswiderstände bei Durchbruchspannungen über 15 V zu realisieren. Abbildung 5.13 vergleicht Ausgangs- und Sperrkennlinien zwischen LC-NLDMOS-A und LC-NLDMOS-B mit einer n-LDD-Dosis von $1.2 \cdot 10^{13} \text{ cm}^{-2}$ und einer Kompensationsimplantation mit $D_{p-LDD} = 9 \cdot 10^{12} \text{ cm}^{-2}$ bei einer Gatelänge von $0.2 \mu\text{m}$ und Driftlänge von $0.4 \mu\text{m}$.

Bei dieser Kombination der LDD-Implantationen zeigen sich deutliche Differenzen im Ausgangskennlinienfeld (Abb. 5.13(a)), während sich die Sperrkennlinien kaum unterscheiden (Abb. 5.13(b)). Die höhere Nettodotierungskonzentration nahe der drainseitigen Gatekante beim LC-NLDMOS-B verringert den Einfluss der lateralen Kompensations- und Verarmungseffekte durch die p-Wanne. Dadurch sinkt R_{ON} um mehr als 50 % von $6.8 \Omega\text{mm}$ beim LC-NLDMOS-A auf $3.1 \Omega\text{mm}$ für LC-NLDMOS-B bei einem Transistor mit $L_G = 0.2 \mu\text{m}$ und $D_{n-LDD} = 1.2 \cdot 10^{13} \text{ cm}^{-2}$. Zudem ist der Effekt der Quasisättigung beim LC-NLDMOS-B deutlich verringert. Trotz dieser Verbesserung des Durchlasswiderstandes ist keine Reduzierung von BV_{DSS} zu beobachten. Mit Hilfe von Bauelementesimulationen wird im Folgenden das Verhalten der LC-LDMOS-Transistoren untersucht, um diesen Effekt zu verstehen. Dazu wurden die implantierten LDD-Profile mit SIMS gemessen und anschließend durch analytische Funktionen angenähert (Abb. 5.14), um sie für die elektrische Simulation

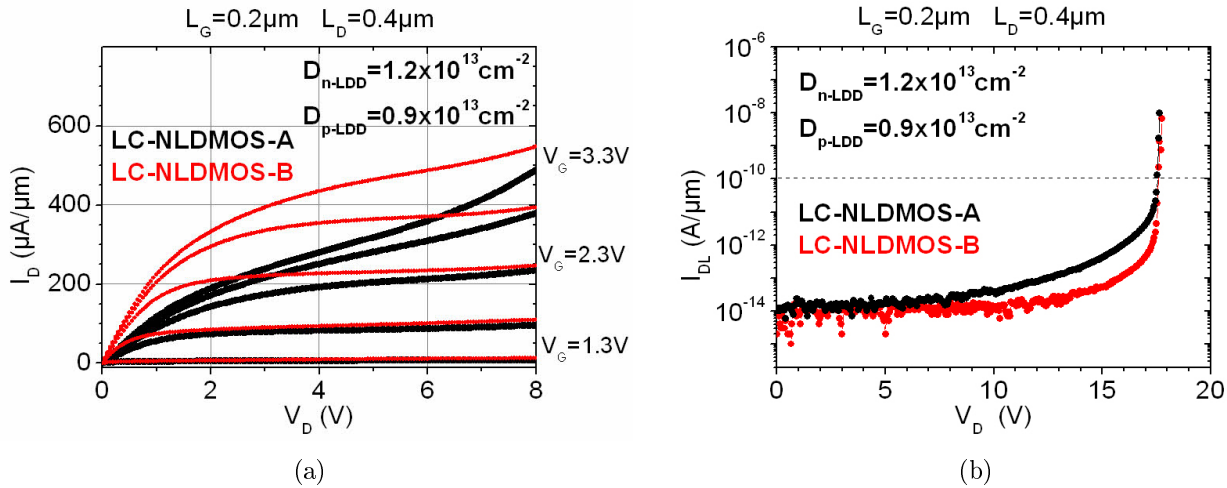


Abb. 5.13: Vergleich der Ausgangs- (a) und Sperrkennlinien (b) der LC-NLDMOS-A und LC-NLDMOS-B-Transistoren.

der Bauelemente zu nutzen. Anhand der simulierten Potentialverteilungen in Abbildung 5.15 wird deutlich, dass sich bei der Kombination von LDD-Implantationen mit $D_{p-LDD} = 9 \cdot 10^{12} \text{ cm}^{-2}$ und $D_{p-LDD} = 1.2 \cdot 10^{13} \text{ cm}^{-2}$ der Spannungsabbau bereits über dem drainseitigen Teil der Driftregion vollzieht.

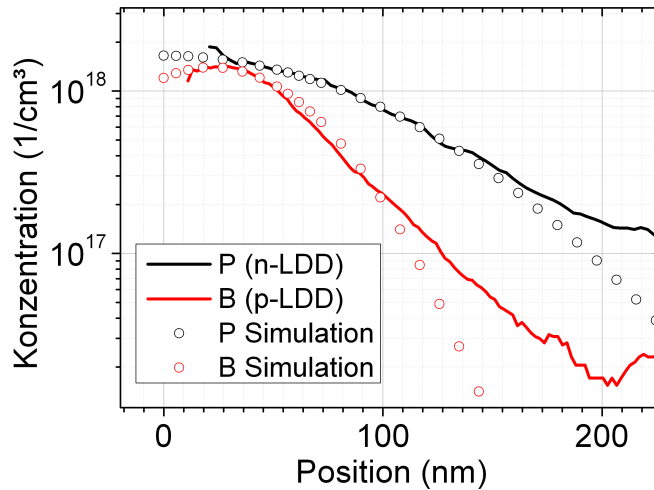


Abb. 5.14: Für die Bauelementesimulation angenäherte (simulierte) und gemessene Dotierungsprofile der LDD-Implantationen für die LC-LDMOS-Transistoren

Dadurch sind die Durchbruchspannungen für beide Arten von Transistoren nahezu gleich. Zudem sind nach den Ergebnissen aus Kapitel 4 für eine Nettodosis $\leq 5 \cdot 10^{12} \text{ cm}^{-2}$ im kompensierten Driftgebiet auch höhere Durchbruchspannungen zu erwarten, wenn man die Driftlänge vergrößert.

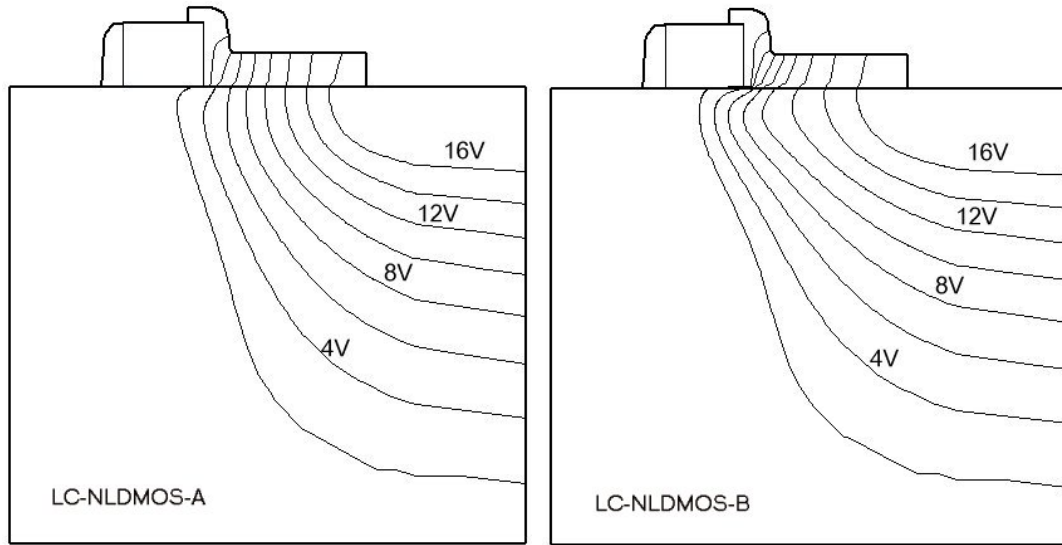


Abb. 5.15: Simulierte Potentialverteilung im LC-NLDMOS-A (a) und LC-NLDMOS-B (b) bei $V_G = 0V$ und $V_D = 15V$

5.2 Einfluss der Gatelänge L_G und Driftlänge L_D auf Gleichstromparameter des LC-NLDMOS-B und des LC-PLDMOS-Transistors

Im Folgenden sollen Abhängigkeiten verschiedener elektrischer Gleichstromparameter der LC-LDMOS-Transistoren von den Geometrienparametern L_G und L_D untersucht werden. Abbildungen 5.16(a) zeigt die Ausgangskennlinien für zwei unterschiedliche Driftlängen eines LC-NLDMOS-B-Transistors, der mit einer n-LDD-Dosis von $1.2 \cdot 10^{13} \text{ cm}^{-2}$ und einer p-LDD-Dosis von $9 \cdot 10^{12} \text{ cm}^{-2}$ hergestellt wurde. Die Gatelänge der Transistoren beträgt $0.2 \mu\text{m}$. Für Driftlängen von $1.2 \mu\text{m}$ zeigt sich eine deutliche Quasisättigung im Transistor für Gatespannungen über 2.3 V . Außerdem steigt der Durchlasswiderstand von $3.1 \Omega\text{mm}$ bei $L_D = 0.4 \mu\text{m}$ auf $7 \Omega\text{mm}$ bei $L_D = 1.2 \mu\text{m}$. Beide Effekte sind auf die größere laterale Ausdehnung des schwach dotierten Driftgebietes mit einer Nettodosis von $3 \cdot 10^{12} \text{ cm}^{-2}$ zurückzuführen. Über der weiter ausgedehnten Driftregion wird das Drainpotential abgebaut, was letztendlich zu einer Erhöhung der Durchbruchspannungen führt (Abb. 5.16(b)). Bei einer Driftlänge $> 0.8 \mu\text{m}$ ist kein deutliches Ansteigen der Durchbruchspannung zu erkennen, wie es auch bei den in Kapitel 4 diskutierten NLDMOS-Transistoren der Fall war.

Die Abhängigkeit der Durchbruchspannung und des Durchlasswiderstandes von der Gatelänge sind in Abbildung 5.17 dargestellt. Die Driftlänge der Transistoren beträgt hier $0.4 \mu\text{m}$. Mit größerer Gatelänge wächst auch der Abstand L_{PN} zwischen der p-Wanne und dem n-Driftgebiet. Dadurch reduzieren sich die lateralen Feldstärken an diesem pn-Übergang und die Durchbruchspannung steigt auf Werte über 20 V an. Auch der Durchlasswiderstand steigt mit der Gatelänge an. Allerdings ist

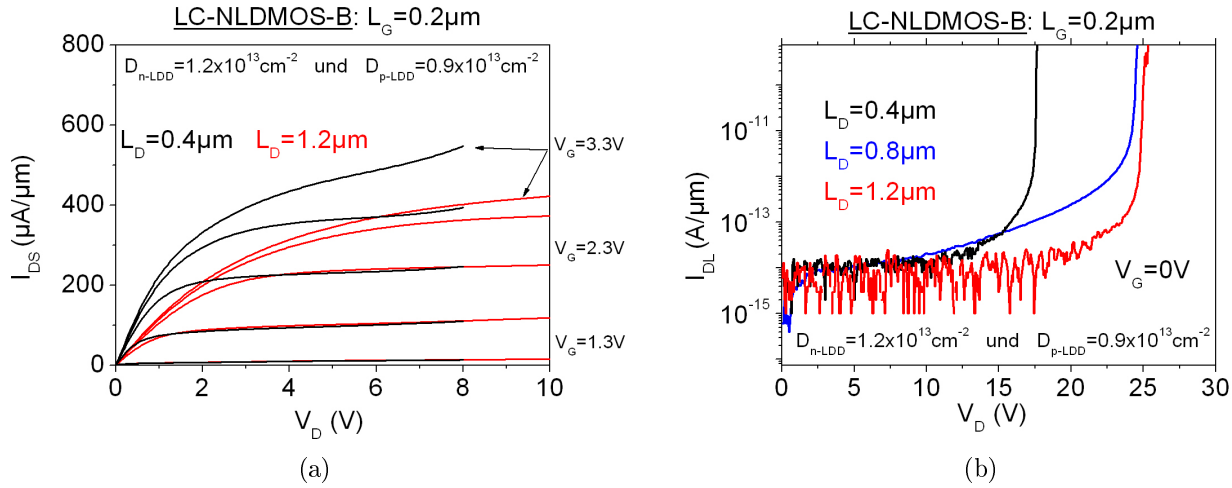


Abb. 5.16: Leckstrom I_{DL} und Drainstrom I_{DS} (a) sowie R_{ON} und BV_{DSS} (b) in Abhängigkeit von der Driftlänge L_D und bei verschiedenen Gatelängen des LC-NLDMOS-B.

der Anstieg nicht linear, was auf die lateral diffundierte p-Wanne und deren Einfluss auf das Driftgebiet bei Gatelängen unter $0.5 \mu m$ zurückzuführen ist.

Abbildung 5.18(a) zeigt die Schwellspannung V_T für den LC-NLDMOS-B mit Werten von $\approx 1.08 V$ und keine deutlichen Abhängigkeiten von L_G und L_D . Die Schwellspannungen der LC-PLDMOS-Transistoren sind in Abbildung 5.18(b) dargestellt. Sie zeigen Werte von $\approx -0.65 V$, was verdeutlicht, dass die Kanaldotierungskonzentration für den LC-PLDMOS geringer als im LC-NLDMOS ist. Aus diesem Grund beobachtet man beim LC-PLDMOS für Gatelängen von $0.2 \mu m$ Kurzkanaleffekte, die zu einer Verringerung von V_T führen.

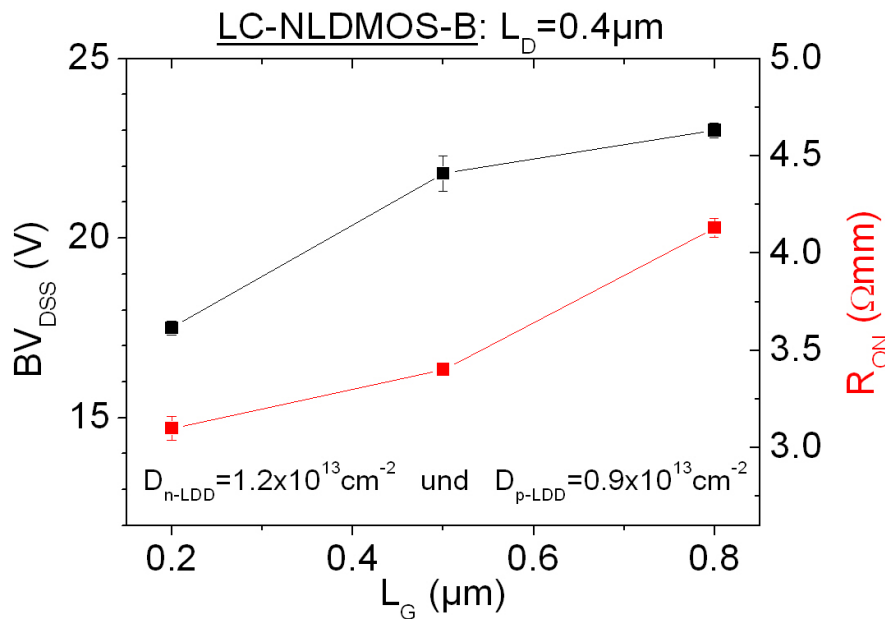


Abb. 5.17: Durchbruchspannung und Durchlasswiderstand in Abhängigkeit der Gatelänge für einen LC-NLDMOS-B-Transistor bei einer Driftlänge von $0.4 \mu m$.

Abbildung 5.19(a) zeigt die Sättigungsströme I_{DS} und Leckströme I_{DL} der LC-PLDMOS-Transistoren. Der Kurzkanaleffekt spiegelt sich auch beim Leckstrom des LC-PLDMOS wider. Während I_{DL} unter $10\text{pA}/\mu\text{m}$ für $L_G > 0.25\mu\text{m}$ beträgt, steigt er auf ca. $60\text{pA}/\mu\text{m}$ für $L_G = 0.2\mu\text{m}$ an (Abb. 5.19(a)). Die Sättigungsströme steigen mit kleineren Gatelängen auf einen Wert von $-450\mu\text{A}/\mu\text{m}$ an.

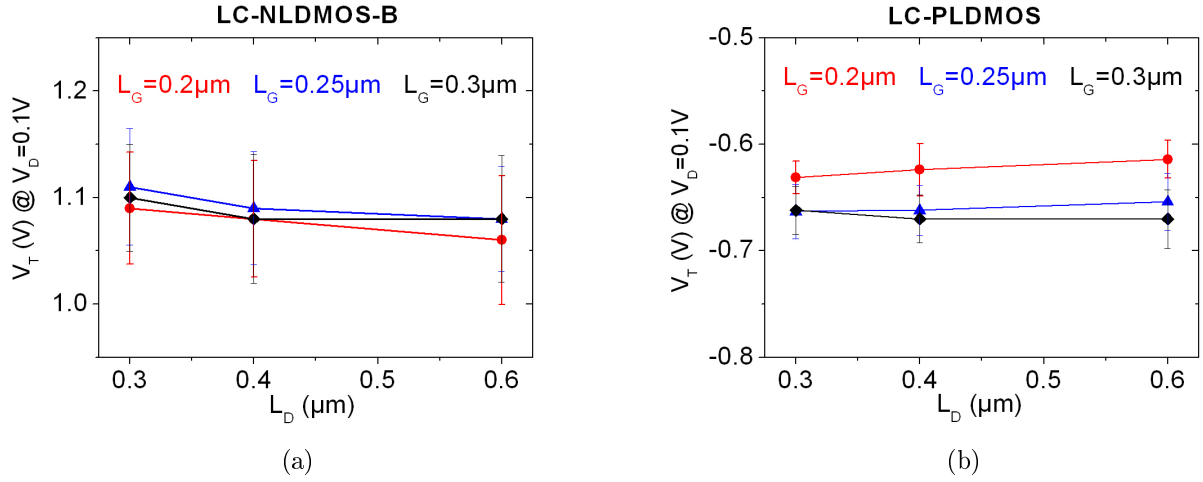


Abb. 5.18: Schwellenspannung V_T in Abhängigkeit der Driftlänge und bei verschiedenen Gatelängen der LC-NLDMOS-B (a) und LC-PLDMOS (b) Transistoren.

Abbildung 5.19(b) zeigt das Verhalten von BV_{DSS} . Die Durchbruchspannung bleibt konstant bei -14.5V und zeigt keinerlei Abhängigkeit von L_D und L_G , da der vertikale pn-Übergang zwischen p-Drain und n-Isolierung den Spannungsbereich für V_D begrenzt (Abb. 5.19). Der Durchlasswiderstand wächst gemäß dem Widerstandsgesetz linear mit der Driftlänge an.

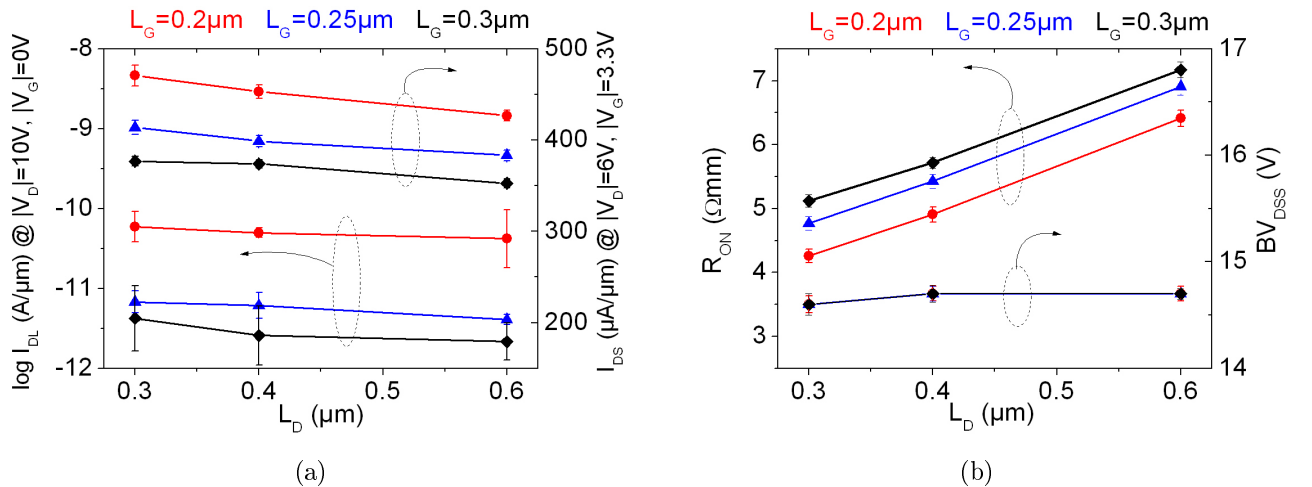


Abb. 5.19: Leckstrom I_{DL} und Drainstrom I_{DS} (a) sowie R_{ON} und BV_{DSS} (b) in Abhängigkeit der Driftlänge und bei verschiedenen Gate- und Driftlängen des LC-PLDMOS-Transistors.

5.3 Hochfrequenzverhalten

Das Kleinsignalverhalten der Transistoren wurde wie bei den LDMOS-I-Transistoren aus Kapitel 4 durch die Messung von Streuparametern (S-Parameter) bestimmt. Die Ermittlung der Grenzfrequenzen erfolgte aus der Extrapolation des MAG bei $f_{extr}(\text{MAG})=40\text{ GHz}$. Für die Extrapolation von h_{21} wurde eine Frequenz von 20 GHz genutzt. Die S-Parameter wurden bei festen Drainspannungen im Sättigungsbereich der LC-LDMOS-Transistoren bestimmt.

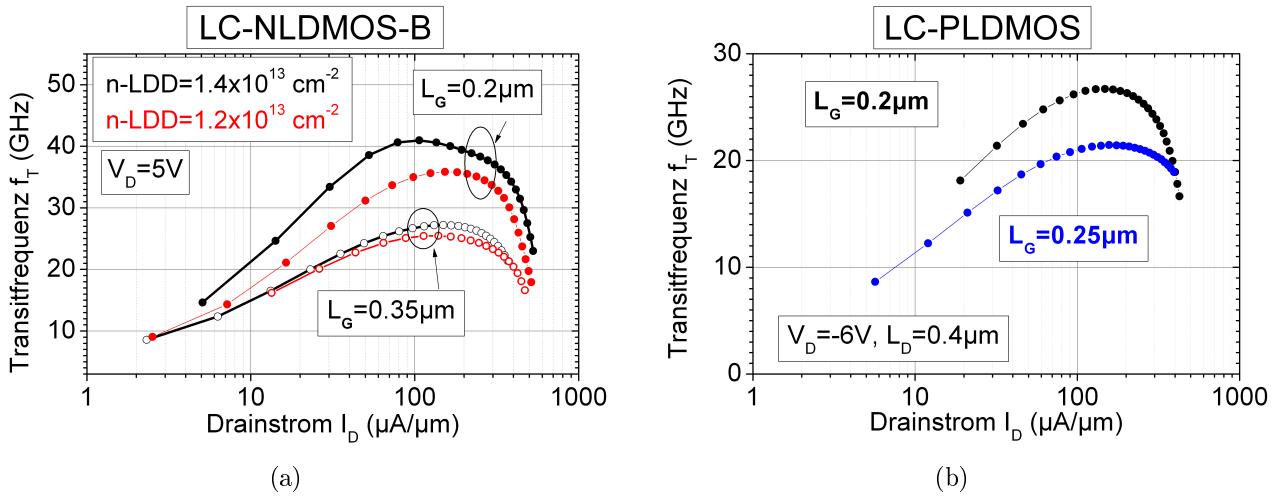


Abb. 5.20: Transitfrequenz f_T in Abhängigkeit vom Drainstrom für unterschiedlich dimensionierte LC-NLDMOS-B (a) und LC-PLDMOS (b) mit einer Weite von $W=200\mu\text{m}$.

Abbildung 5.20 zeigt die Transitfrequenzen für verschiedene Geometrien der LC-NLDMOS-B- und LC-PLDMOS-Transistoren in Abhängigkeit vom Drainstrom. Für den LC-NLDMOS-B sind zwei unterschiedliche Dotierungsvarianten dargestellt. Generell führt eine Reduzierung der Gatelänge zu höheren Transitfrequenzen. Durch die Erhöhung des Driftwiderstandes bei den Transistoren mit einer geringeren n-LDD-Dosis reduzieren sich die maximalen Transitfrequenzen von 41 GHz bei $D_{nLDD}=1.4 \cdot 10^{13} \text{ cm}^{-2}$ auf 36 GHz bei $D_{nLDD}=1.2 \cdot 10^{13} \text{ cm}^{-2}$ (Abb 5.20(a)). In Abbildung 5.20(b) sind die Messungen der Transitfrequenzen für verschieden dimensionierte LC-PLDMOS-Transistoren dargestellt. Auch hier zeigt sich die Erhöhung von f_T bei einer Reduzierung der Gatelänge. Die Stromverstärkung h_{21} und des MAG in den Arbeitspunkten der maximalen Transitfrequenzen sind in Abbildung 5.21 dargestellt. Die Stromverstärkung sowie das MAG zeigen über einen großen Frequenzbereich einen idealen Abfall von -20 dB/Dekade und bestätigen damit die Korrektheit der extrapolierten Werte. Für das MAG ist hier nur der Bereich für $K > 1$ gezeigt.

Abbildung 5.22 zeigt die Transitfrequenz der LC-NLDMOS-B-Transistoren mit einer Gatelänge von $0.2\mu\text{m}$ und verschiedenen Driftlängen. Die Dosis der n-LDD-Implantation betrug $1.2 \cdot 10^{13} \text{ cm}^{-2}$. Mit vergrößerter Driftlänge steigt auch der Drift-

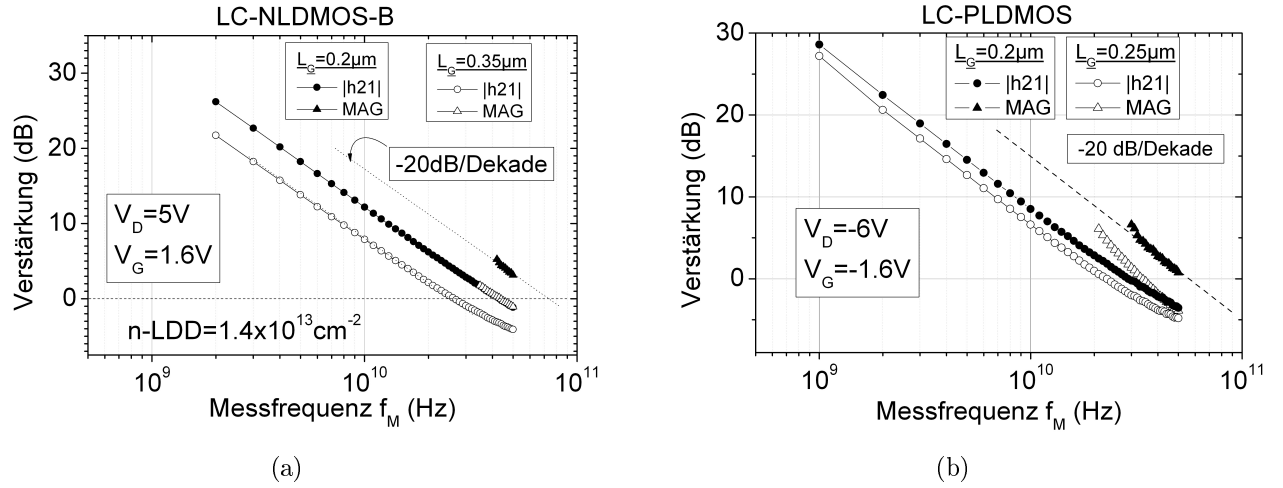


Abb. 5.21: Verhalten von h_{21} und MAG bei unterschiedlich dimensionierten LC-NLDMOS-B (a) und LC-PLDMOS (b).

widerstand der Transistoren, was zu einer Reduzierung der maximalen Transitfrequenzen führt.

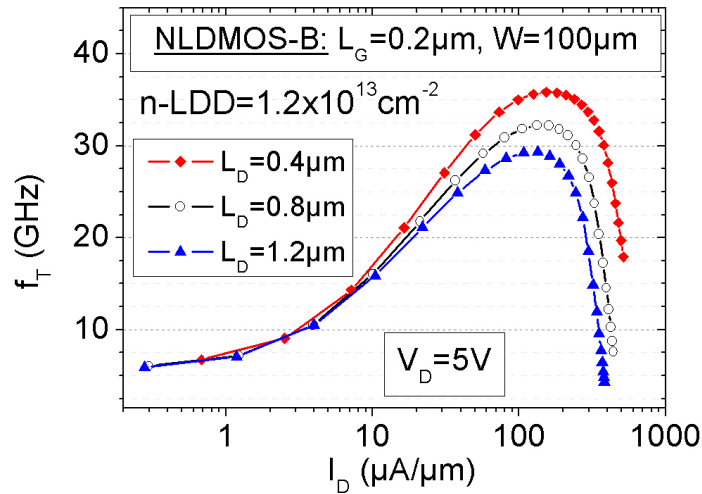


Abb. 5.22: Transitfrequenz f_T in Abhängigkeit vom Drainstrom für unterschiedliche Driftlängen L_D eines LC-NLDMOS-B mit einer Weite von $W=100 \mu\text{m}$ und einer n-LDD-Dosis von $1.2 \cdot 10^{13} \text{ cm}^{-2}$ und p-LDD-Dosis von $9 \cdot 10^{12} \text{ cm}^{-2}$.

Die Ergebnisse der Hochfrequenzmessungen für unterschiedliche Geometrien der LC-LDMOS-Transistoren sind in Tabelle 5.3 zusammengefasst. Ein weiteres wichtiges Kriterium bei der Charakterisierung des Hochfrequenzverhaltens ist die Homogenität der ermittelten Parameter über den Wafer. Um diese zu bestimmen, wurden Untersuchungen der maximalen Grenzfrequenzen f_T und f_{max} und deren Verteilung über den ganzen Wafer durchgeführt. Abbildung 5.23 zeigt die Frequenzverteilung für einen LC-NLDMOS-B-Transistor mit $L_G=0.2 \mu\text{m}$ und $L_D=0.4 \mu\text{m}$ sowie einer n-LDD-Dosis von $1.4 \cdot 10^{13} \text{ cm}^{-2}$ und p-LDD-Dosis von $0.9 \cdot 10^{13} \text{ cm}^{-2}$. Es zeigt sich

eine sehr homogene Verteilung der maximalen Grenzfrequenzen über den Wafer. Die Standardabweichung ist für $f_{T,max}$ und $f_{MAX,max}$ unter 0.5 GHz.

Typ	L_G	L_D	f_T	f_{max}
LC-NLDMOS-B	0.2	0.4	36	80
	0.2	0.8	32	60
	0.2	1.2	29	50
LC-PLDMOS	0.2	0.4	27	50
	0.25	0.4	23	33

Tabelle 5.3: Hochfrequenzparameter f_T und f_{max} der LC-LDMOS-Transistoren

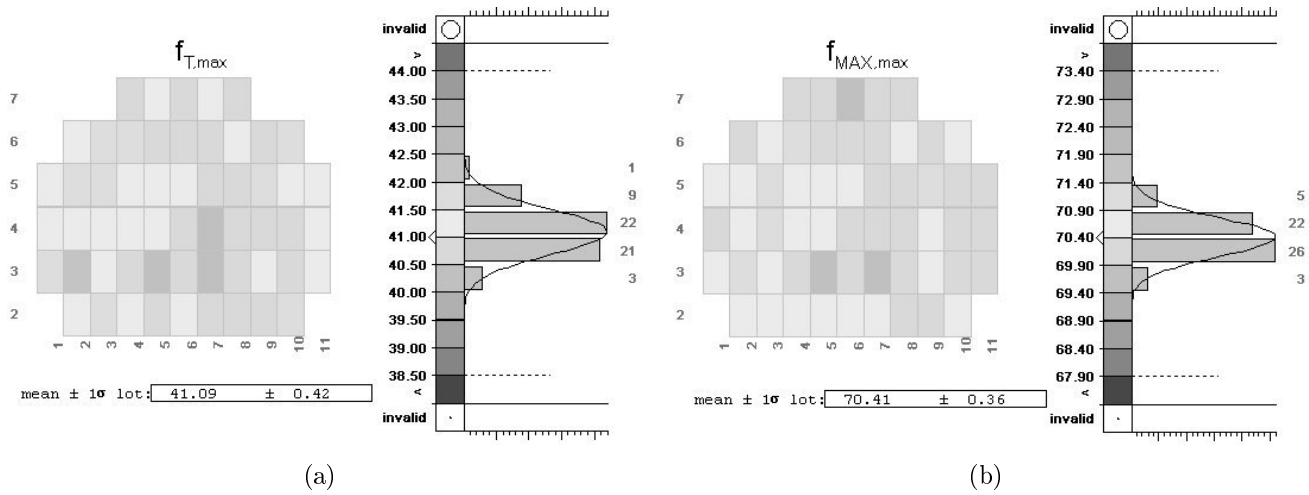


Abb. 5.23: Verteilung von $f_{T,max}$ (a) und $f_{MAX,max}$ (b) bei der Messung über einen Wafer. Die Frequenzen wurden extrapoliert aus h_{21} bzw. MAG.

5.4 Leistungseharakteristika

Für viele Hochfrequenzschaltungen in denen LDMOS-Transistoren verwendet werden, ist die erreichbare Ausgangsleistung ein wichtiges Kriterium. Um diese zu charakterisieren, wurde das Großsignalverhalten der LC-NLDMOS-B-Transistoren mit einer Driftdotierung von $D_{n-LDD}=1.4 \cdot 10^{13} \text{ cm}^{-2}$ und $D_{p-LDD}=9 \cdot 10^{12} \text{ cm}^{-2}$ untersucht. Die Leistungseharakteristika der Transistoren wurden durch Load-Pull-Messungen ermittelt. Dafür wurden die Bauelemente bei einer Frequenz von $f_{app}=6 \text{ GHz}$ sowie $f_{app}=11 \text{ GHz}$ am Ein- und Ausgang elektrisch angepasst und betrieben. Die Ergebnisse für zwei Geometrien der LC-NLDMOS-B-Transistoren bei 6 GHz sind in Abbildung 5.24 dargestellt.

Für das Bauelement mit $L_G=0.2 \mu\text{m}$ zeigte sich über dem linearen Bereich des Transistors eine Verstärkung (Gain) von ca. 19 dB. In Kapitel 2.7 wurde der 1dB-Kompressionspunkt (1dB KP) als Übergang zum nichtlinearen Arbeitsbereich des

Transistors definiert, bei dem die Ausgangsleistung P_{out} nicht länger linear mit der Eingangsleistung P_{in} ansteigt. Hier lieferte der LC-NLDMOS-B mit minimalen Gatelängen eine Ausgangsleistung von $P_{out}=17.5\text{ dBm}$, was bei einer Weite des Bauelements von $W=200\text{ }\mu\text{m}$ einer Leistung von ca. 280 mW/mm entspricht. Die Power-Added-Efficiency (PAE) liegt für dieses Bauelement im 1dB-KP bei $\text{PAE}\approx 30\%$. Beim Transistor mit einer Gatelänge von $L_G=0.35\text{ }\mu\text{m}$ reduziert sich der Gain auf $\approx 16\text{ dB}$ und die Ausgangsleistung im 1dB-Kompressionspunkt liegt bei ca. $P_{out}=12.5\text{ dBm}$. Bei einer Weite von $W=60\text{ }\mu\text{m}$ entspricht dies einer Leistung von 265 mW/mm .

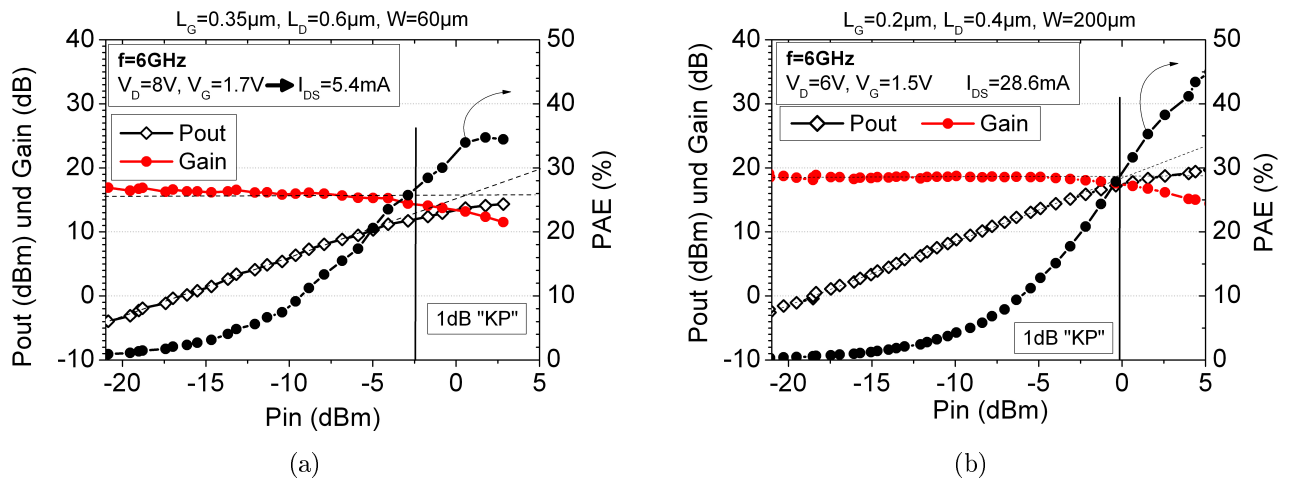


Abb. 5.24: Load-Pull Leistungsmessung an LC-NLDMOS-B-Transistoren mit $L_G=0.35\text{ }\mu\text{m}$ und $L_D=0.5\text{ }\mu\text{m}$ (a) und $L_G=0.2\text{ }\mu\text{m}$ und $L_D=0.4\text{ }\mu\text{m}$ (b) bei einer Frequenz von 6 GHz.

Bei den maximalen f_T -Werten von $\approx 40\text{ GHz}$ der Transistoren mit $L_G=0.2\text{ }\mu\text{m}$ ist auch ein Betrieb bei höheren Frequenzen als 6 GHz denkbar. Aus diesem Grund wurden die Transistoren nach der elektrischen Anpassung des Ein- und Ausganges bei $f=11\text{ GHz}$ untersucht. Die Ergebnisse sind in Abbildung 5.25 dargestellt. Beim LC-NLDMOS-B mit $L_G=0.35\text{ }\mu\text{m}$ zeigt sich ein Abfall aller untersuchten Größen (Abb. 5.25(a)). Die PAE sinkt auf ca. 20 % und P_{out} beträgt beim 1dB-Kompressionspunkt etwa 8.5 dBm was bei der Weite von $60\text{ }\mu\text{m}$ etwa 120 mW/mm entspricht. Ein Grund für das Abfallen ist, dass bei der 11 GHz-Messung die Drainspannung nur $V_D=5\text{ V}$ betrug im Gegensatz zu 8 V bei der Messung mit 6 GHz. Das bedeutet kleinere Ein- und Ausgangsleistungen. Außerdem führt der Abfall der Verstärkung bei höheren Frequenzen zur Verringerung der genannten Größen.

Der Transistor mit $L_G=0.2\text{ }\mu\text{m}$ zeigt bei den hohen Betriebsfrequenzen ($f=11\text{ GHz}$) etwas reduzierte Werte für P_{out} im 1dB-Kompressionspunkt von 15.5 dBm (entspricht 180 mW/mm) (Abb. 5.25(b)).

Einen Vergleich mit publizierten Resultaten von Load-Pull Messungen an Si-LDMOS-Transistoren zeigt Tabelle 5.4. Einen geeigneten Punkt zum Vergleich bietet der 1dB-Kompressionspunkt. Allerdings sind viele Anwendungen für Si-

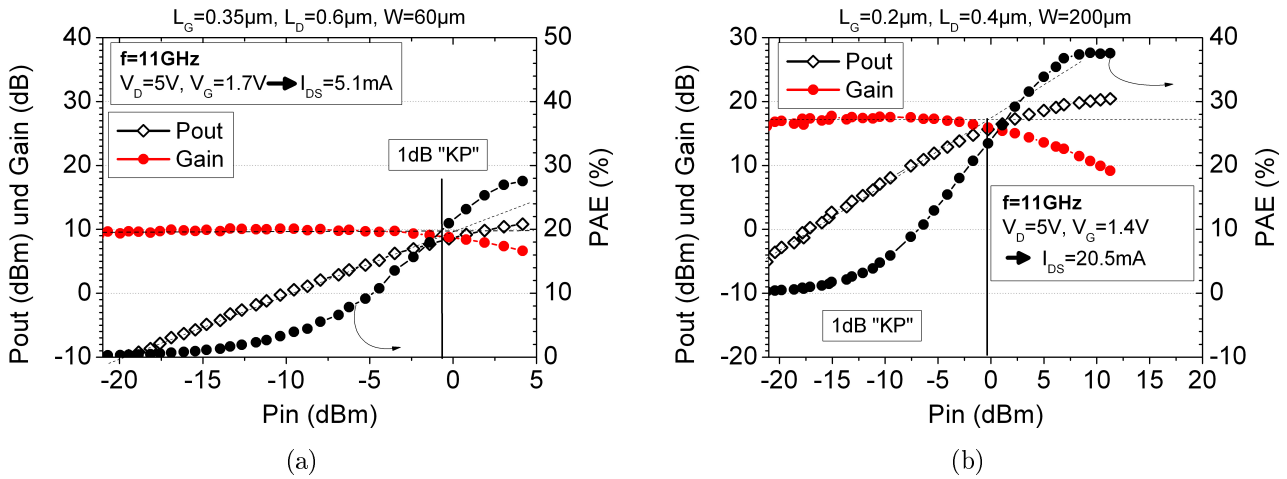


Abb. 5.25: Load-Pull Leistungsmessung an LC-NLDMOS-B-Transistoren mit $L_G=0.35\ \mu\text{m}$ und $L_D=0.5\ \mu\text{m}$ (a) und $L_G=0.2\ \mu\text{m}$ und $L_D=0.4\ \mu\text{m}$ (b) bei einer Frequenz von 11 GHz.

Leistungsverstärker gepulste Anwendungen, in denen das lineare Verhalten des Bauelements eine untergeordnete Rolle spielt. Vielmehr geht es dann um maximale Effizienzen und maximale Leistung. Da in der Definition für die Power-Added-Efficiency die Verstärkung berücksichtigt wird, besitzt die Power-Added-Efficiency in Abhängigkeit von P_{in} ein Maximum. Der Ausgangsleistungswert an dieser Stelle ($P_{out,max}$) liefert einen weiteren Vergleichswert. In einigen Messungen wurde das Maximum der Power-Added-Efficiency, speziell bei den Betriebsfrequenzen von $f=11\text{GHz}$, in dem hier betrachteten Messbereich nicht erreicht. Da im Gleichstromverhalten der LC-

Ref.	[11]	[8]	[16]		diese Arbeit			
					$L_G\ (\mu m)$			
					0.2	0.35	0.2	0.35
f (GHz)	1.8	1.8	2.45	5.8	6		11	
$P_{out}(1dBKP)$ (mW/mm)	140	105	120	65	280	265	180	120
$P_{out,max}$ (mW/mm)	210	210	260	260	>500	430	>500	200
PAE (1dB) (%)	50	60	35	22	30	28	22	12

Tabelle 5.4: Ergebnisse der Load-Pull-Messungen für die LC-NLDMOS Transistoren und der Vergleich zu bisher publizierten Ergebnissen.

NLDMOS-Transistoren auch bei den minimalen Geometrien keine Effekte der Quasisättigung oder frühe Durchbrüche zu erkennen sind, ist eine große Aussteuerung der Hochfrequenzeingangssignale möglich. Zusammenfassend bleibt zu sagen, dass die LC-LDMOS-Transistoren, trotz der Integration ohne zusätzlichen Aufwand, exzellente Ergebnisse bei der Leistungscharakterisierung liefern. Allerdings muss man

anmerken, dass speziell die Transistoren mit $L_G=0.2\,\mu\text{m}$ und $L_D=0.4\,\mu\text{m}$ und den gegebenen Dotierungen bei einer Drainspannung von 5 V keine ausreichende Langzeitstabilität garantieren.

5.5 Langzeitstabilität der LC-LDMOS-Transistoren

Die Langzeitstabilität der LC-LDMOS-Transistoren unter Hochvoltbedingungen ist einer der kritischsten Punkte bei der Beurteilung dieser Bauelemente. Deshalb wurde wie bei den LDMOS-I-Transistoren aus Kapitel 4 die Änderung spezifischer Gleichstromparameter (R_{ON} und I_{SAT}) nach Hochvoltstress untersucht. Auch bei den LC-LDMOS-Transistoren wurde der Durchlasswiderstand als der Gleichstromparameter identifiziert, welcher am sensibelsten auf Hochvoltstress reagiert. Alle Messungen wurden bei Zimmertemperatur durchgeführt.

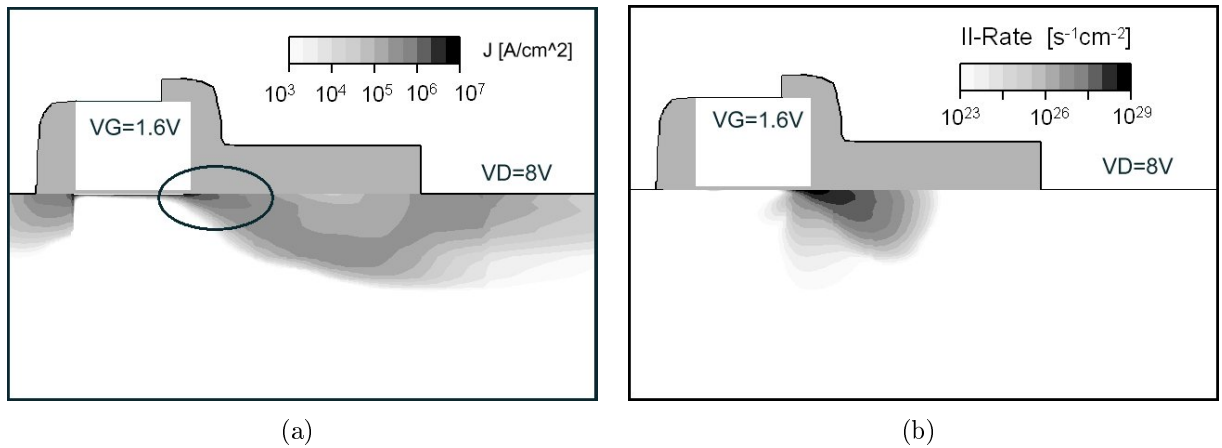


Abb. 5.26: Simulierte Stromdichte (a) und Stoßionisationsrate (b) eines LC-NLDMOS mit $L_G=0.2\,\mu\text{m}$ und $L_D=0.4\,\mu\text{m}$ bei $V_G=1.7\,\text{V}$ und $V_D=8\,\text{V}$. Die implantierte Dosis im Driftgebiet beträgt $D_{n-LDD}=1.4\cdot 10^{13}\,\text{cm}^{-2}$ und $D_{p-LDD}=9\cdot 10^{12}\,\text{cm}^{-2}$.

Bedingt durch ihre Konstruktion haben die LC-LDMOS-Transistoren eine flache Driftregion. Aus diesem Grund fließt der Strom im Driftgebiet nahe an der Si-Oberfläche. Abbildung 5.26 zeigt die simulierte Stromdichte und Stoßionisationsrate für einen LC-NLDMOS-B mit einer Gatelänge von $L_G=0.2\,\mu\text{m}$, einer Driftlänge $L_D=0.4\,\mu\text{m}$, einer n-LDD-Dosis von $1.4\cdot 10^{13}\,\text{cm}^{-2}$ und p-LDD-Dosis von $9\cdot 10^{12}\,\text{cm}^{-2}$. Die Stromdichte im Driftgebiet erreicht unter dem Nitridspacer nahe der drainseitigen Gatekante ihr Maximum und Werte von $J\approx 10^6\,\text{A cm}^{-2}$. In diesem gatenahen Bereich ist die n-LDD-Dosis nicht kompensiert und der Widerstand der Driftregion nahe der Oberfläche am geringsten. Dagegen verlagert sich im drainseitigen Teil des Driftgebietes der Strompfad mehr in die Tiefe. Durch die maximale Stromdichte im gatenahen Bereich befindet sich auch hier das Maximum der Stoßionisationsrate (Abb. 5.26(b)). Beim hier simulierten Arbeitspunkt mit $V_G=1.7\,\text{V}$ bei $V_D=8\,\text{V}$ wird auch das Maximum des Substratstroms I_{SUB} als Indikator der

höchsten Stoßionisationsrate genutzt.

Wie in Kapitel 2.5 beschrieben, kommt es durch heiße Ladungsträger zur Erzeugung von Energiezuständen innerhalb des Gateoxides und in der Spacerregion an der drainseitigen Gatekante. Diese werden durch Elektronen besetzt und sorgen für ein elektrisches Feld, welches bei NLDMOS-Transistoren den schwach dotierten Bereich unterhalb der drainseitigen Gatekante und des Spacers verarmt. Dies führt zu einer Erhöhung von R_{ON} und zu einer Reduzierung von I_{SAT} [37].

Abbildung 5.27(a) zeigt die relative zeitliche Änderung des Durchlasswiderstandes für LC-NLDMOS-B-Transistoren mit unterschiedlichen Dotierungskonzentrationen bei einer Drainspannung von 6 V. Aus den gemessenen Kurven, wird die Lebensdauer ermittelt oder extrapoliert, die einer Änderung von 10 % entspricht. Die Darstellung der ermittelten Lebensdauer über dem Reziproken der jeweiligen Spannung erlaubt die Extrapolation der maximalen Betriebsspannung $V_{DD,max}$ für eine R_{ON} -Änderung von 10 % in 10 Jahren. Abbildung 5.27(b) zeigt dies für die LC-NLDMOS-B-Transistoren mit unterschiedlichen Dotierungskonzentrationen, Gatelängen von $0.2\ \mu\text{m}$ und Driftlängen von $0.4\ \mu\text{m}$. Die Lebensdauer der Transistoren mit einer geringeren n-LDD-Dosis ist für Drainspannungen über 5 V deutlich geringer als bei Transistoren mit einer höheren Dotierungskonzentration (Abb. 5.27(b)). Grund dafür ist die stärker ausgeprägte vertikale Feldkomponente in den Transistoren mit geringerer Driftdotierung. Bei höheren Drainspannungen verarmt das geringer dotierte n-LDD-Gebiet weiter in Richtung Drain.

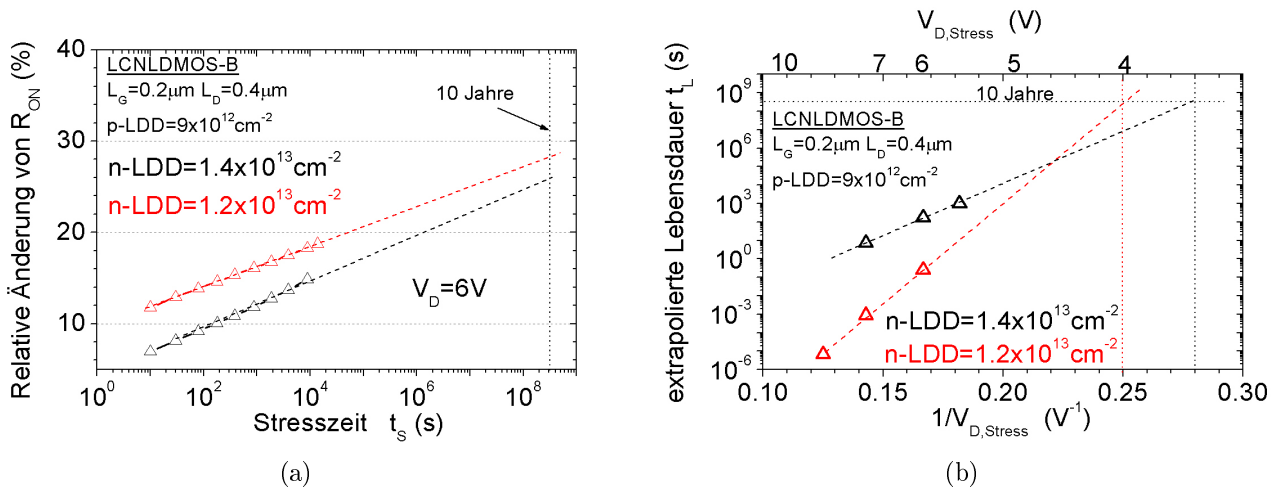


Abb. 5.27: Relative zeitliche Änderung vom Durchlasswiderstand von LC-NLDMOS-B-Transistoren mit $L_G = 0.2\ \mu\text{m}$ und $L_D = 0.4\ \mu\text{m}$ bei unterschiedlichen Dotierungen und $V_D = 6\text{ V}$ (a). Extrapolation der maximalen Betriebsspannung $V_{DD,max}$ dieser LC-NLDMOS-B-Transistoren (b).

Unterhalb der Spacerregion kommt es dadurch zu einem stärkeren Abfall des Drainpotentials für das geringer dotierte n-LDD-Gebiet. Durch die anliegende Gatespannung ($\approx 1.8\text{ V}$) und das reduzierte Drainpotential nahe der Gatekante steigt die senk-

recht zur Oberfläche wirkende Feldkomponente, wenn die n-LDD-Dosis abnimmt. Dadurch werden mehr Elektronen in Richtung Gate beschleunigt, die Energiezustände im Oxid generieren und besetzen können. Dadurch degradieren die Transistoren mit einer n-LDD-Dosis von $1.2 \cdot 10^{13} \text{ cm}^{-2}$ bei Drainspannungen über 5 V schneller als die mit einer höheren n-LDD-Konzentration. Aus diesem Grund ist die relative Änderung des Durchlasswiderstandes für Transistoren mit einer geringeren n-LDD-Dotierung und bei einer Drainspannung von 6 V auch größer, als bei Transistoren mit einer höheren n-LDD-Dosis (Abb. 5.27(a)). Bei Drainspannungen unter 5 V ist das Gebiet nahe der drainseitigen Gatekante für beide Dotierungsvarianten nicht verarmt. Dadurch stellt sich effektiv die gleiche vertikale Feldstärke ein. Durch eine geringere Dotierungskonzentration wird jedoch die laterale Feldkomponente reduziert und dadurch weniger heiße Ladungsträger erzeugt. Aus diesem Grund zeigen die LC-NLDMOS-B-Transistoren mit einer geringeren Dotierungskonzentration höhere Werte für die maximale Betriebsspannung von $V_{DD,max}=4 \text{ V}$.

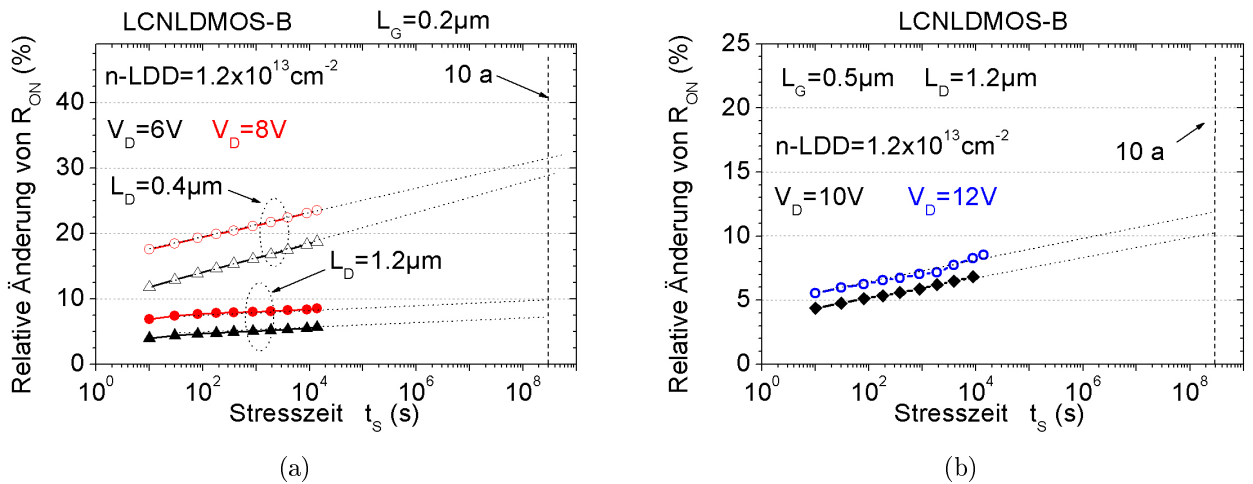


Abb. 5.28: Relative zeitliche Änderung vom Durchlasswiderstand von LC-NLDMOS-B-Transistoren mit $L_G = 0.2 \mu\text{m}$ und unterschiedlichen Driftlängen ($L_D = 0.4 \mu\text{m}, L_D = 1.2 \mu\text{m}$) (a) sowie eines Transistors mit $L_G = 0.5 \mu\text{m}$ und $L_D = 1.2 \mu\text{m}$ (b) bei unterschiedlichen Drainspannungen.

Abbildung 5.28(a) zeigt die relative Änderung des Durchlasswiderstandes für LC-NLDMOS-B-Transistoren mit einer Gatelänge von $0.2 \mu\text{m}$ und verschiedenen Driftlängen bei einer n-LDD-Dosis von $1.2 \cdot 10^{13} \text{ cm}^{-2}$. Erhöht man die Driftlänge der LC-NLDMOS-B-Transistoren, vergrößert sich auch der schwach dotierte Bereich des Driftgebietes. Bei einer n-LDD-Dosis von $1.2 \cdot 10^{13} \text{ cm}^{-2}$ und einer p-LDD-Dosis von $9 \cdot 10^{12} \text{ cm}^{-2}$ ist die Nettodosis im kompensierten Driftgebiet ca. $3 \cdot 10^{12} \text{ cm}^{-2}$. Über diesem Gebiet kommt es vor allem zum Abbau des Drainpotentials. Bei größeren Driftlängen reduziert sich dementsprechend die laterale Feldstärke an der drainseitigen Gatekante und die zeitliche Änderung des Durchlasswiderstandes wird deutlich geringer (Abb. 5.28(a)). Dadurch erreichen die Transistoren mit $L_G = 0.2 \mu\text{m}$ und

$L_D=1.2\,\mu\text{m}$ maximale Betriebsspannungen von $V_{DD,max}=8\,\text{V}$. Vergrößert man zudem noch die Gatelänge auf $0.5\,\mu\text{m}$ werden die Feldstärken nochmals reduziert und ein langzeitstabiler Betrieb bei $V_{DD,max}=10\,\text{V}$ ist möglich (Abb. 5.28(b)). Allerdings reduzieren sich die Grenzfrequenzen durch die Vergrößerung der Gatelänge deutlich von $29\,\text{GHz}$ bei $L_G=0.2\,\mu\text{m}$ und $L_D=1.2\,\mu\text{m}$ auf $16\,\text{GHz}$ für Transistoren mit $L_G=0.5\,\mu\text{m}$ und $L_D=1.2\,\mu\text{m}$. Zudem vergrößert sich auch die Transistorfläche A_T für Transistoren mit höherem $V_{DD,max}$, was letztlich den flächenspezifischen Durchlasswiderstand $R_{ON,A}$ der Transistoren erhöht.

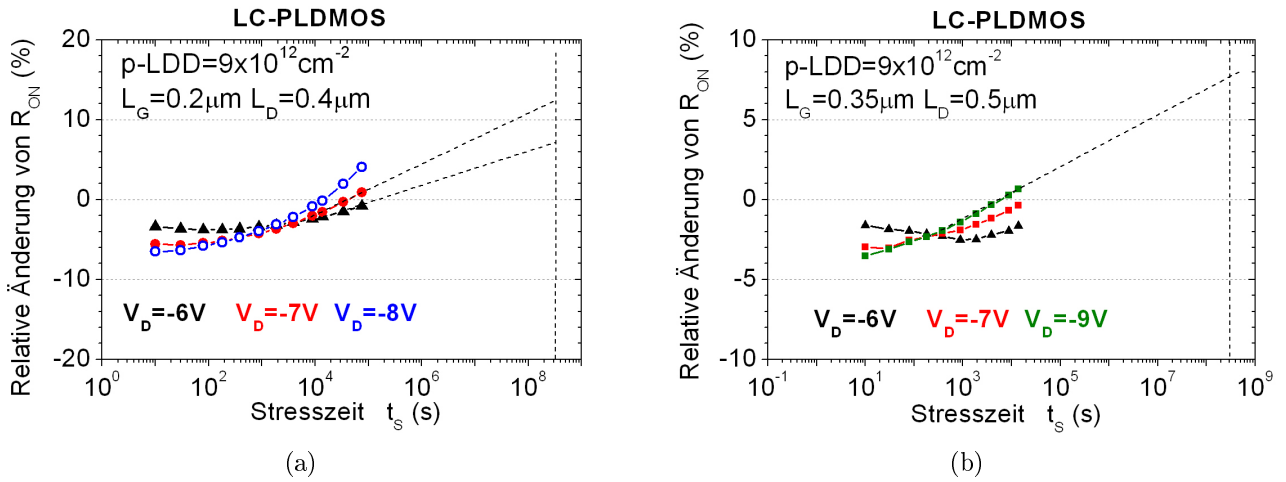


Abb. 5.29: Relative zeitliche Änderung vom Durchlasswiderstand eines LC-PLDMOS-Transistors mit $L_G = 0.2\,\mu\text{m}$ und $L_D = 0.4\,\mu\text{m}$ (a) sowie $L_G = 0.35\,\mu\text{m}$ und $L_D = 0.5\,\mu\text{m}$ (a) bei unterschiedlichen Drainspannungen.

Die Langzeitstabilität der LC-PLDMOS-Transistoren ist neben der Degradation durch heiße Ladungsträger (HCI) vor allem durch den NBTI-Effekt bestimmt. Diese beiden Effekte verursachen eine gegensätzliche, zeitliche Drift der Transistorparameter. Während die durch HCI erzeugten Energiezustände mit Elektronen besetzt werden und eine Reduzierung der Schwellspannung und des Durchlasswiderstandes verursachen, erhöhen die durch den NBTI-Effekt erzeugten positiven Energiezustände eine Erhöhung von V_T und R_{ON} . Abbildung 5.29(a) zeigt die Änderung vom Durchlasswiderstand für einen LC-PLDMOS-Transistor mit $L_G=0.2\,\mu\text{m}$ und $L_D=0.4\,\mu\text{m}$ bei unterschiedlichen Drainspannungen. Anfänglich dominieren die durch HCI besetzten Energiezustände die Reduzierung vom Durchlasswiderstand um bis zu 8% bei $V_D=-8\,\text{V}$. Mit zunehmender Zeit vergrößert sich jedoch der Durchlasswiderstand und erreicht nach ca. 3h seinen Ausgangswert. Dies ist auf die durch NBTI-Effekte erzeugten Festladungen zurückzuführen. Durch die vergrößerte Drainspannung, erhöht sich auch die anliegende negative Spannung an der drainseitigen Gatekante. Dies begünstigt die Erzeugung von Festladungen durch den NBTI-Effekt und erklärt den stärkeren Anstieg des Durchlasswiderstandes mit höherem V_D . Vergrößert man die Gate- und Driftlänge der LC-PLDMOS-Transistoren reduziert sich die

durch HCI bedingte Verkleinerung des Durchlasswiderstandes. Abbildung 5.29(b) zeigt dies für einen LC-PLDMOS-Transistor mit $L_G=0.35\,\mu\text{m}$ und $L_D=0.5\,\mu\text{m}$. Auch hier sorgt die durch NBTI erzeugte Degradation der Bauelemente für einen deutlichen Anstieg des Durchlasswiderstandes mit steigendem V_D . Dennoch lässt sich aus den gemessenen Kurven eine maximale Betriebsspannung von $V_{DD,max}=-6.5\,\text{V}$ für LC-PLDMOS-Transistoren mit $L_G=0.2\,\mu\text{m}$ und $L_D=0.4\,\mu\text{m}$ und $V_{DD,max}=-9\,\text{V}$ für LC-PLDMOS-Transistoren mit $L_G=0.35\,\mu\text{m}$ und $L_D=0.5\,\mu\text{m}$ ermitteln.

5.6 Fazit der LC-LDMOS-Transistoren

Die leichte Modifikationen der LDD-Implantationen aus dem Basis- $0.13\,\mu\text{m}$ -BiCMOS-Prozess erlaubte die Realisierung komplementärer LDMOS-Transistoren ohne zusätzliche Prozesssequenzen. Verschiedene Geometrievarianten ermöglichen LDMOS-Transistoren für unterschiedliche Anwendungsfelder. Tabelle 5.5 fasst wesentliche Gleichstrom- und Hochfrequenzparameter sowie die maximalen Betriebsspannungen für eine 10%ige Drift des Durchlasswiderstand nach 10 Jahren der LC-LDMOS-Transistoren zusammen.

	LC-NLDMOS-B				LC-PLDMOS	
L_G (μm)	0.2			0.5	0.2	0.35
L_D (μm)	0.4	0.8	1.2	1.2	0.4	0.5
R_{ON} [Ωmm]	3.1	4.9	6.3	7.3	5.3	7.4
BV_{DSS} [Ωmm]	17	25	25	30	-14.5	-14.5
$V_{DD,max}$ [V]	4	6	8	10	-6.5	-9
I_{DL} [pA/ μm] $ V_D = 10\text{ V}; V_G = 0\text{ V}$	<1				<50	<10
$ I_{DS} $ [$\mu\text{A}/\mu\text{m}$] $ V_{DD,max} ; V_G = 3.3\text{ V}$	450	430	400	430	400	310
$f_{T,max}$ [GHz]	36	32	29	16	27	19

Tabelle 5.5: Gleichstrom- und Hochfrequenzparameter der LC-LDMOS-Transistoren mit unterschiedlichen Gate- und Driftlängen. Die maximale Betriebsspannung bezieht sich auf eine R_{ON} -Änderung von 10% in 10 Jahren.

Kapitel 6

Einordnung der Ergebnisse in den aktuellen Stand der Technik

Da in den meisten Veröffentlichungen zum Thema Hochfrequenz-LDMOS die Integration von n-Kanal Transistoren vorgestellt wird, sollen zuerst die Ergebnisse der NLDMOS-I-Transistoren aus Kapitel 4 und der LC-NLDMOS-B-Transistoren mit aktuellen Publikationen verglichen werden. Um die in dieser Arbeit erreichten Ergebnisse der verschiedenen HF-LDMOS Transistoren mit dem aktuellen Forschungsstand zu vergleichen, kann man unterschiedliche Bewertungskriterien betrachten.

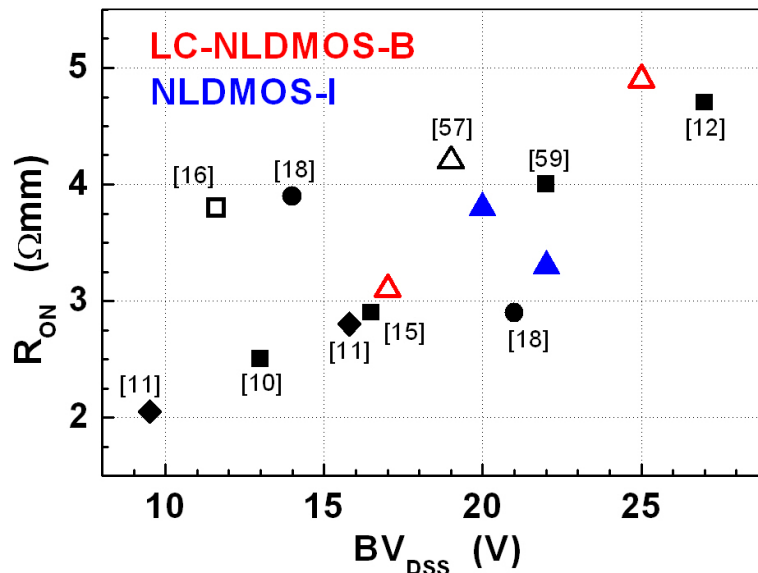


Abb. 6.1: Durchbruchspannung BV_{DSS} und Durchlasswiderstände für publizierte und in dieser Arbeit präsentierte NLDMOS-Transistoren. Offene Symbole: LDMOS-Transistoren, die nur Maskenschritte und Implantationen des Basis-CMOS-Prozesses nutzen. Gefüllte Symbole: LDMOS-Transistoren, die unter Nutzung zusätzlicher Maskenschritte und Implantationen hergestellt wurden.

Für Schalteranwendungen der Hochvolttransistoren wird oft der Durchlasswiderstand R_{ON} über der Durchbruchspannung BV_{DSS} dargestellt (Abbildung 6.1). Trotz unterschiedlichster Technologien zeigt sich ein Trend von steigendem Durchlasswi-

derstand R_{ON} bei zunehmender Durchbruchspannung BV_{DSS} . Abbildung 6.1 zeigt, dass trotz des minimalen technologischen Aufwands für die in dieser Arbeit entwickelten NLD MOS-Transistoren ein sehr guter Kompromiss zwischen diesen beiden Größen erreicht wurde.

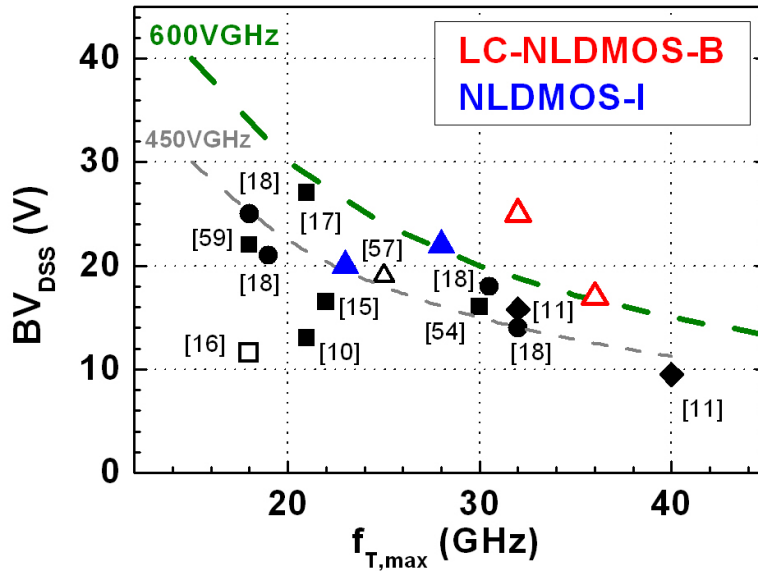


Abb. 6.2: Vergleich von BV_{DSS} über maximalen f_T -Werten von publizierten HF-NLDMOS-Transistoren und in dieser Arbeit präsentierten Transistoren. Als Bewertungskriterium dient das Produkt aus $BV_{DSS} \cdot f_{T,max}$. Offene Symbole: LDMOS-Transistoren, die nur Maskenschritte und Implantationen des Basis-CMOS-Prozesses nutzen. Gefüllte Symbole: LDMOS-Transistoren, die unter Nutzung zusätzlicher Maskenschritte und Implantationen hergestellt wurden.

Zur Bewertung der Hochfrequenzeigenschaften von LDMOS-Transistoren dient oft das Produkt aus Durchbruchspannung BV_{DSS} und maximaler Transitfrequenz $f_{T,max}$ der Transistoren. In der Regel ergeben die Produkte Werte von $BV_{DSS} \cdot f_T < 500$ VGHZ.

Im Vergleich zu den bisher publizierten Ergebnissen zeigen die in dieser Arbeit vorgestellten Transistoren auch $BV_{DSS} \cdot f_T$ -Produkte über 600 VGHZ bei maximalen Transitfrequenzen über 20 GHz. Die offenen Symbole in den Abbildungen entsprechen Ergebnissen von LDMOS-Transistoren, die ohne zusätzlichen Prozessaufwand zum jeweiligen Basis-CMOS-Ablauf realisiert wurden. Auch im direkten Vergleich zu optimierten LDMOS-Technologien, sind die gezeigten Ergebnisse dieser Arbeit konkurrenzfähig.

Neben der Durchbruchspannung BV_{DSS} ist die maximale Betriebsspannung $V_{DD,max}$ für analoge Anwendungen meist noch wichtiger. Abbildung 6.3 zeigt die maximale Grenzfrequenz $f_{T,max}$ über der maximalen Betriebsspannung $V_{DD,max}$ von publizierten HF-NLDMOS-Transistoren und den Ergebnissen aus dieser Arbeit. Trotz der Tatsache, dass speziell die LC-NLDMOS-B-Transistoren durch minimalen techno-

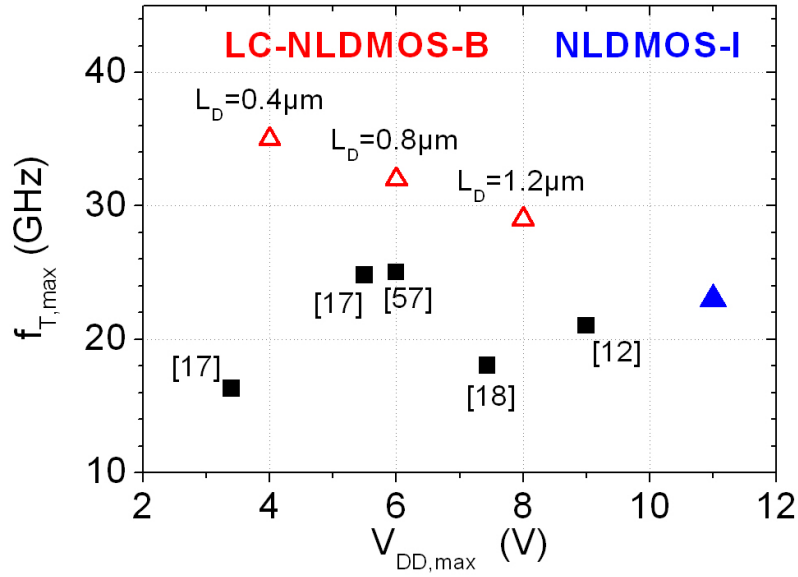


Abb. 6.3: Vergleich von maximalen f_T -Werten über der maximalen Betriebsspannung von publizierten HF-NLDMOS Transistoren mit den Ergebnissen dieser Arbeit.

logischen Mehraufwand realisiert wurden zeigen sie deutlich erhöhte maximale Betriebsspannungen im Vergleich zu bisher publizierten Ergebnissen. Grund dafür ist insbesondere die spezielle Konstruktion der LC-LDMOS-Transistoren, die es erlaubt minimale Gatelängen zu nutzen.

Wie bereits erwähnt, werden in den meisten Veröffentlichungen von HF-LDMOS Transistoren n-Kanal Bauelemente vorgestellt. Einen Vergleich bisher publizierte PLDMOS-Transistoren mit Ergebnissen dieser Arbeit zeigt Tabelle 6.1. Auch bei

	Quelle				IHP $0.13 \mu m$	
	Ref. [12]	Ref. [58]	Ref. [17]	Ref. [59]	LC-PLDMOS	PLDMOS-I
d_{OX} [nm]	7	5	5		7	7
I_{SAT} [$\mu A/\mu m$]	-300	-50		-330	-400	-130
V_D/V_G	10/3	5/1.5		5/3.3	6/3.3	6/2.3
$ I_{DL} $ [$pA/\mu m$]	<1	<10	<1	<1	<50	<1
V_D	-10	-8	-6	-5	-6	-10
BV_{DSS} [V]	-15	-19	-14	-14	-14	-19
R_{ON} [Ωmm]	9	13		6	5.3	15
f_T [GHz]	14	9.5	19.3	12	27	14
V_D	-8	-8	-4		-6	-8
f_{max} [GHz]	31	27			50	42
V_D	-8	-4			-6	-8

Tabelle 6.1: Vergleich von publizierten RF-PLDMOS-Transistoren mit Ergebnissen aus dieser Arbeit

den PLDMOS-Transistoren lässt sich feststellen, dass für die in dieser Arbeit vorgestellten Bauelemente sehr gute Ergebnisse erzielt wurden.

Kapitel 7

Zusammenfassung

Ziel dieser Arbeit war die Entwicklung und Integration von LDMOS-Transistoren für Hochfrequenzanwendungen in die $0.13\mu\text{m}$ -SiGe:C BiCMOS-Technologie des IHP. Die Realisierung der Transistoren war dabei an bestimmte Randbedingungen geknüpft. Zum einen sollte sie modular sein, d.h. andere Bauelemente, wie CMOS-Transistoren und HBTs, nicht beeinflussen. Zum anderen sollte die Integration mit einem moderaten, zusätzlichen Aufwand realisiert werden.

Im Verlauf dieser Arbeit wurden für die Integration von komplementären Hochfrequenz-LDMOS-Transistoren in die $0.13\mu\text{m}$ -BiCMOS-Technologie zwei Konzepte vorgestellt, die diese Bedingungen erfüllen. Die im ersten Teil der Arbeit vorgestellten LDMOS-I-Transistoren wurden durch jeweils nur einen zusätzlichen Maskenschritt und verschiedenen Implantationen realisiert. Die im zweiten Teil präsentierten LC-LDMOS-Transistoren nutzten nur Prozessschritten aus dem Basis-CMOS-Ablauf und verlangen dadurch keinen technologischen Mehraufwand.

Um LDMOS-Transistoren mit diesem geringen Aufwand herzustellen, war es notwendig die innere Transistorstruktur zu optimieren. Dazu wurde basierend auf bereits publizierten Ergebnissen [12, 18] die sourceseitige Transistorregion aus der Wannen- und Haloimplantation des Basis-CMOS-Prozesses hergestellt. Die geometrische Optimierung und das daraus resultierende, inhomogene Kanalprofil der Transistoren, erlaubt die Konstruktion von LDMOS-Transistoren mit kurzen effektiven Kanallängen L_{eff} . Dies verbessert das Gleichstrom- (g_m, R_{ON}) und Hochfrequenzverhalten der Transistoren (f_T und f_{max}).

Die Möglichkeit der unabhängigen Optimierung des Driftgebietes beinhaltet das in dieser Arbeit vorgestellte Integrationskonzept für die LDMOS-I-Transistoren. Hierbei werden die komplementären Transistoren durch jeweils einen zusätzlichen Masken- und Implantationsschritt (Driftregion) realisiert. Um die Langzeitstabilität der NLDMOS-Transistoren zu verbessern, wurde der Einfluss eines innerhalb der Driftregion befindlichen p-Gebietes insbesondere mit Hilfe von Bauelementesimulationen untersucht. Darauf basierend wurden die Implantationen für die Driftgebiete so optimiert, dass sie Transistoren mit Durchbruchspannung über 20V und Durchlasswiderstände von $R_{ON}=3.8\Omega\text{mm}$ ermöglichten. Dabei können die Transi-

storen bei $V_D \approx 11V$ stabil arbeiten, ohne die übliche Stabilitätskriterien (zeitliche Änderung der Parameter $<10\%$ in 10 Jahren). Bei der Realisierung des PLDMOS-Transistors wurden die Optimierungen des Layouts so vorgenommen, dass sie Transistoren mit größeren BV_{DSS} -Werten ermöglicht. Die daraus resultierenden PLDMOS-Transistoren lieferten Durchbruchspannungen von $\sim 19V$ und Grenzfrequenzen von $f_T/f_{max}=14/42\text{ GHz}$.

Für das Integrationskonzept der LC-LDMOS-Transistoren wurde eine neue Konstruktion der Driftregion vorgestellt, die auf der Kombination der 3.3 V-CMOS-LDD-Implantationen beruht. Die LDD-Implantationen wurden so optimiert, dass eine gleichzeitige Realisierung von 3.3 V-CMOS-Transistoren und LDMOS-Elementen möglich ist. Es wurden N- und PLDMOS-Transistoren mit Transitfrequenzen von $f_{T-NLD}>30\text{ GHz}$ bzw. $f_{T-PLD}>24\text{ GHz}$ demonstriert. Mit einem $BV_{DSS} \cdot f_T$ -Produkt von $>600V \cdot \text{GHz}$ wurde ein bis dato nicht publizierter Wert für Hochfrequenz-LDMOS-Transistoren in Silizium für Transitfrequenzen größer als 20 GHz erreicht. Aufgrund der guten Linearität von g_m , auch bei größeren Spannungen, bieten sich diese Transistoren für Verwendungen in Leistungsverstärkern der Klassen A, B und AB an. Mit f_T -Werten über 30 GHz ist sogar eine Anwendung im zweistelligen GHz-Bereich vorstellbar und wurde mit Hilfe von Load-Pull Messungen untersucht. Dabei zeigten sich bei einer Betriebsfrequenz von $f=11\text{ GHz}$ maximale Ausgangsleistungen von $P_{out,max} \approx 0.5\text{ W/mm}$ bei einer maximalen Power-Added-Efficiency über 30 %.

In dieser Arbeit wurde gezeigt, welche physikalischen Effekte die Betriebsspannungen der LDMOS-Transistoren begrenzen. Bedingt durch die spezielle Konstruktion, reagieren besonders die LC-NLDMOS-Transistoren sensibel auf Hochvoltstress. Dennoch konnte die Driftregion so optimiert werden, dass einen dauerhaften Betrieb in Abhängigkeit der Gate- und Driftlänge der Transistoren zwischen 4 V und 8 V bei Grenzfrequenzen über 29 GHz möglich ist.

Die in dieser Arbeit vorgestellten Integrationskonzepte liefern LDMOS-Transistoren für unterschiedliche Arbeitsbereiche bei minimalem technologischem Aufwand. Dies erhöht die Funktionalität der $0.13\mu\text{m}$ -SiGe:BiCMOS-Technologie des IHP und ermöglicht neue Anwendungsfelder.

Anhang A

Herleitung von f_T

Die Transitfrequenz eines Bauelements ist definiert als die Frequenz bei der der Betrag der Stromverstärkung $h_{21}(f) = 1$ wird. Mit Hilfe des Kleinsignalersatzschaltbildes in Abbildung 7.1 lässt sich eine Näherung für f_T beim LDMOS herleiten. Das Kleinsignalersatzschaltbild berücksichtigt hier die Gate-Drain sowie die Gate-Source-Kapazität, den Driftwiderstand R_D und den Gatewiderstand R_G .

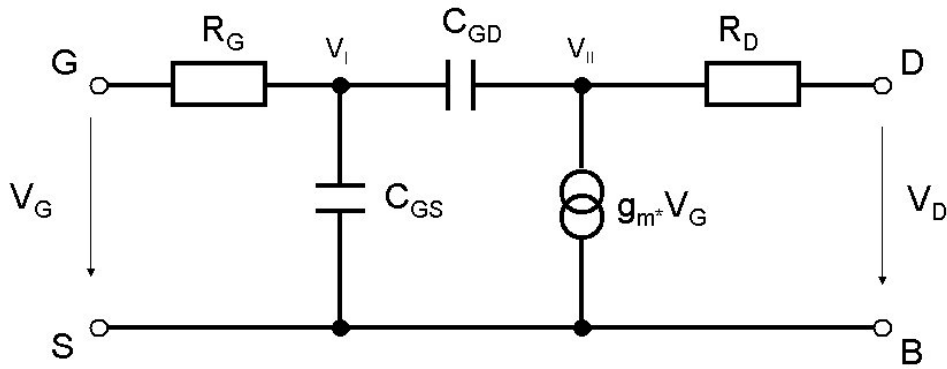


Abb. 7.1: Kleinsignalersatzschaltbild

An den Knoten „I“ und „II“ ergeben sich folgende Spannungen.

$$V_I = v_G - i_G \cdot R_G \quad \text{und} \quad V_{II} = v_D - i_D \cdot R_D \quad (7.1)$$

Aus dem 1. kirchhoffschen Gesetz ergeben sich so für die beiden Knoten

$$i_D + (V_I - V_{II})j\omega C_{GD} = g_m v_G \quad (7.2)$$

und

$$i_G = (V_I - V_{II})j\omega C_{GD} + V_I j\omega C_{GS}. \quad (7.3)$$

Mit (7.1) werden (7.2) und (7.3) zu

$$i_D + (v_G - i_G \cdot R_G - v_D + i_D \cdot R_D)j\omega C_{GD} = g_m v_G \quad (7.4)$$

und

$$i_G = (v_G - i_G \cdot R_G - v_D + i_D \cdot R_D)j\omega C_{GD} + (v_G - i_G \cdot R_G)j\omega C_{GS}. \quad (7.5)$$

Auflösen der Gleichungen nach V_G und gleichsetzen ergibt eine Funktion $i_D(i_G)$. Gemäß der Definition für $h_{21} \equiv \frac{\partial i_D}{\partial i_G v_D=0}$ lässt sich h_{21} berechnen aus

$$h_{21} = \frac{g_m + j\omega A_3}{A_1 + j\omega A_2}, \quad (7.6)$$

mit den Konstanten A_1 bis A_3 , die sich berechnen aus

$$A_1 = R_D \omega^2 C_{GD} C_{GS} \quad (7.7)$$

$$A_2 = C_{GS} + C_{GD}(g_m R_D + 1) \quad (7.8)$$

$$A_3 = g_m R_G (C_{GD} + C_{GS}) - C_{GD}. \quad (7.9)$$

Um eine Näherung für f_T zu erhalten, muss der Betrag der komplexen Größe h_{21} berechnet werden. Damit ergibt sich

$$|h_{21}| = \sqrt{\frac{(g_m A_1 + \omega^2 A_2 A_3)^2 + (\omega A_1 A_3 - g_m \omega A_2)^2}{(A_1^2 + \omega^2 A_2^2)^2}} = \sqrt{\frac{g_m^2 + \omega^2 A_3^2}{A_1^2 + \omega^2 A_2^2}}. \quad (7.10)$$

Betrachtet man nun für die weitere Abschätzung die einzelnen Faktoren in A_1 und A_2 , sowie deren Größenordnung mit $C_{GD} \approx C_{GS} \approx 10^{-14}F$, $R_D \approx 10^{-3}\Omega$ und $g_m \approx 10^{-3}\Omega^{-1}$, ergibt sich für die Summanden im Nenner

$$A_1^2 \approx 10^{-26}F << \omega^2 A_2^2 \approx 10^{-10}F.$$

So kann A_1^2 vernachlässigt werden und $|h_{21}|$ ergibt sich zu

$$|h_{21}| = \sqrt{\underbrace{\frac{g_m^2}{\omega^2 (C_{GS} + C_{GD}(g_m R_D + 1))^2}}_I + \underbrace{\frac{(C_{GS} + C_{GD}(g_m R_G - 1))^2}{(C_{GS} + C_{GD}(g_m R_D + 1))^2}}_{II}}. \quad (7.11)$$

Für kleine Frequenzen, bei denen $|h_{21}| \gg 1$ ist, kann der Term „II“ unter der Wurzel vernachlässigt werden und es ergibt sich die in Kapitel 2.6 angegebene Beziehung

$$|h_{21}| \approx \frac{g_m}{\omega (C_{GS} + C_{GD}(g_m R_D + 1))}. \quad (7.12)$$

Erreicht die Messung der S-Parameter einen Frequenzbereich bei dem $|h_{21}| \approx 1$ beträgt, ist der Term, der sowohl von R_G und R_D abhängt, nicht mehr vernachlässigbar. Das begründet auch die Änderung des Anstiegs von -20dB/Dekade in Abbildung 4.8. Außerdem zeigt sich, dass der Gatewiderstand R_G bei der Bestimmung von f_T vernachlässigt werden kann. Durch die Definition $h_{21}(f_T) = 1$ kann mit Gleichung (7.12) f_T durch

$$f_T \approx \frac{g_m}{2\pi (C_{GS} + C_{GD}(g_m R_D + 1))} \quad (7.13)$$

abgeschätzt werden.

Die Bestimmung der maximale Schwingfrequenz f_{max} , als die Frequenz bei der die Leistungsverstärkung auf eins abfällt, kann beispielsweise aus der Masons Invariante gemäß

$$G_U = \frac{|y_{21} - y_{12}|^2}{4[Re(y_{11})Re(y_{22}) - Re(y_{12})Re(y_{21})]} \quad (7.14)$$

für $G_U(f)=1$ oder aus dem Maximum Available Gain ($MAG(f)=1$) nach

$$MAG = \left| \frac{y_{21}}{y_{21}} \right| (k - \sqrt{k^2 - 1}) \quad (7.15)$$

erfolgen [22]. Dabei berechnet sich k aus

$$k = \frac{2Re(y_{11})Re(y_{22}) - Re(y_{12}y_{21})}{|y_{12}y_{21}|}. \quad (7.16)$$

Die Y-Parameter sind durch

$$y_{11} = \frac{\partial i_D}{\partial v_D}_{v_G=0} \quad y_{12} = \frac{\partial i_D}{\partial v_g}_{v_D=0} \quad y_{21} = \frac{\partial i_G}{\partial v_D}_{v_G=0} \quad y_{22} = \frac{\partial i_G}{\partial v_G}_{v_D=0} \quad (7.17)$$

definiert. Aus der Bedingung $G_U(f_{max})=1$ erhält man die in dieser Arbeit benutzte Näherung [8, 44]:

$$f_{max} \approx \sqrt{\frac{f_T}{8\pi R_G C_{GD}}} \quad (7.18)$$

Literaturverzeichnis

- [1] H. Rücker, B. Heinemann, W. Winkler, R. Barth, J. Borngräber, J. Drews, G. Fischer, A. Fox, T. Grabolla, U. Haak, D. Knoll, F. Korndörfer, A. Mai, S. Marschmeyer, D. Schmidt, J. Schmidt, K. Schulz, B. Tillack, D. Wolansky, Y. Yamamoto, "A 0.13 μm SiGe BiCMOS Technology Featuring f_T / f_{MAX} of 240 / 330 GHz and Gate Delays Below 3 ps," *Proc. of IEEE BCTM*, pp. 166–169, 2009.
- [2] W. Winkler, W. Debski, B. Heinemann, F. Korndörfer, H. Rücker, K. Schmalz, C. Scheytt, B. Tillack, "122GHz low-noise amplifier in SiGe Technology," *Proceedings of IEEE ESSCIRC*, pp. 316–319, 2009.
- [3] H. Rücker, B. Heinemann, A. Mai, B. Tillack, "A 0.13 μm SiGe BiCMOS Technology for mm-wave applications," *Proc. of IEEE MIXDES*, pp. 19–22, 2009.
- [4] C. Weitzel, "Will GaAs Survive for Wireless PA's?," 2005. <http://www.csmantech.org/Digests/2005/2005papers/1.3.pdf>.
- [5] Asif Anwar, Semiconductor Today, "Are silicon technologies poised to displace GaAs?," 2007. <http://www.semiconductor-today.com/features/SemiconductorToday%20-%20Are%20silicon%20technologies%20poised%20to%20displace%20GaAs.pdf>.
- [6] D. W. Nobbe, "Silicon Technology Status and Perspectives for Multi-band and Multi-standard Challenges in Upcomming RF Frontends," *IEEE Radio Wireless Symposium 2008*, pp. 191 – 194, 2008.
- [7] R.A. Bianchi, F. Monsieur, F. Blanchet, C. Raynaud, O. Noblanc, "High voltage devices integration into advanced CMOS technologies," *Proc. of IEEE IEDM*, pp. 137–140, 2008.
- [8] D. Muller, A. Giry, F. Judong, C. Rossato, F. Blanchet, B. Szelag, A. Monroy Aguire, R. Sommet, D. Pache and O. Noblanc, "High performance 15-V novel LDMOS Transistor architecture in a 0.25 μm BiCMOS Process for RF-Power Applications," *IEEE Trans. on Electr. Dev. Let.*, vol. 54 No. 4, pp. 861–868, 2007.
- [9] K.E. Ehwald, B. Heinemann, W. Roepke, H. Rücker, F. Fuernhammer, W. Winkler, D. Knoll, R. Barth, B. Hunger, H.E. Wulf, R. Pazirandeh, N. Ilkov, "High performance RF LDMOS transistors with 5 nm gate oxide in a 0.25 μm SiGe:C-BiCMOS Technology," *Proceedings of IEEE IEDM*, pp. 895–898, 2001.
- [10] B. Szelag, H. Baudry, D. Muller, A. Giry, D. Lenoble, B. Reynhard, D. Pache, A. Monroy, "Integration and Optimization of a high performance RF lateral DMOS in an advanced BiCMOS Technology," *Proc. of IEEE ESSDERC*, pp. 39–42, 2003.
- [11] B. Szelag, D. Muller, J. Mourier, C. Arnaud, H. Bilgen, F. Judong, A. Giry, D. Pache, A. Monroy, "High RF performances assymetric spacer NLD MOS integration in a 0.25 μm SiGe:C-BiCMOS Technology," *Proc. of IEEE BCTM*, pp. 122–125, 2006.

- [12] N.R. Mohapatra, H. Rücker, K.E. Ehwald, R. Sorge, R. Barth, P. Schley, D. Schmidt, H.E. Wulf, "A Complementary RF-LDMOS Architecture compatible with a $0.13\mu\text{m}$ CMOS Technology," *Proc. of IEEE ISPSD*, pp. 1–4, 2006.
- [13] C.E. Weitzel, "RF Power Devices for Wireless Communications," *IEEE RFIC*, pp. 285 – 288, 2002.
- [14] D. Muller, A.Giry, C. Arnaud, C. Arricastres, R. Sommet, B. Szelag, A. Monroy, D. Pache, "LDMOSFET and SiGe:C HBT integrated in a $0.25\mu\text{m}$ BiCMOS technology for RF-PA applications," *Proc. of IEEE BCTM*, pp. 168–171, 2004.
- [15] D. Muller, A.Giry, D. Pache, J. Mourier, B. Szelag, A. Monroy, "Architecture Optimization of an n-channel LDMOS device dedicated to RF-power application," *Proc. of IEEE ISPSD*, pp. 159–162, 2005.
- [16] T. Yan, H. Liao, Y. Z. Xiong, J. Shi, R. Huang, "Cost effective integrated RF power transistor in $0.18\mu\text{m}$ CMOS Technology," *IEEE Electron Device Letters*, vol. 27, no. 10, October 2004.
- [17] R.A. Bianchi, C. Raynaud, F. Blanchet, F. Monsieur, O. Noblanc, "High voltage devices in advanced CMOS technologies," *Proc. of IEEE CICC*, pp. 363–369, 2009.
- [18] Z. Lee, R. Zwingman, Jie Zheng, W. Cai, P. Hurwitz, M. Racanelli, "A modular $0.18\mu\text{m}$ Analog RFCMOS Technology Comprising 32GHz f_t RF-LDMOS and 40V Complementary MOSFET devices," *Proc. of IEEE BCTM*, pp. 126–129, 2006.
- [19] A. Mai, H. Rücker, R. Sorge, "Impact of the Drift Region Profile on Performance and Reliability of RF-LDMOS Transistors," *Proc. of IEEE ISPSD*, pp. 100–104, 2009.
- [20] S. M. Sze, *Physics of Semiconductor Devices*. John Wiley and Sons Inc., 1981.
- [21] Y. Taur, T. H. Ning, *Fundamentals of modern VLSI devices*. Cambridge University Press, 1998.
- [22] B. Heinemann, *2D-Bauelementesimulation der elektrischen Eigenschaften von SiGe-HBTs*. Cuvillier Verlag Göttingen, 1997.
- [23] J.L. Sanchez, M. Gharbi, M. Tranduc and P. Rossel, "Quasi-Saturation Effect in high voltage VDMOS transistors," *Solid-State and Electron Devices IEE Proc.*, vol. 132 No. 1, pp. 42–46, 1985.
- [24] M.N. Darwish, "Study of the Quasi-Saturation Effect in VDMOS transistors," *IEEE Trans. on Electr. Dev.*, vol. ED-33 No. 11, pp. 1710–1716, 1986.
- [25] T. Huang, J. Gong, "A simple method to analyze the electrical properties of high power lateral double-diffused metal-oxide-semiconductor transistors," *JPN J. Appl. Phys.*, vol. Vol. 38, No. 2B, pp. L170–L173, 1999.
- [26] A. Aarts, N. D'Halleweyn and R. van Langevelde, "A Surface-Potential-Based High-Voltage Compact LDMOS Transistor Model," *IEEE Trans. on Electr. Dev.*, vol. 52 Issue 5, pp. 999–1007, 2005.
- [27] A. C. T. Aarts and W. J. Kloostermann, "Compact Modeling of High-Voltage LDMOS Devices including Quasi-Saturation," *IEEE Trans. on Electr. Dev.*, vol. 53 Issue 4, pp. 897–902, 2006.

- [28] J. Jang, O. Tornblad, T. Arnborg, Q. Chen, K. Banerjee, Z. Yu and R. W. Dutton, "RF LDMOS Characterization and its Compact Modeling," *Microwave Symposium Digest, IEEE MTT-S International*, vol. 2, pp. 967–970, 2001.
- [29] S.M. Sze, G. Gibbons, "Avalanche Breakdown Voltage of abrupt and linearly graded pn-junction in Ge, Si, GaAs," *Appl. Phys. Lett.*, p. 8:111, 1966.
- [30] S.L. Miller, "Ionization rates for Holes and Electrons in Silicon," *Phys. Rev.* 105, pp. 1246–1249, 1957.
- [31] A. G. Zabrodskii, "Ioffe Physical Technical Institute," 2005. <http://www.ioffe.ru/SVA/NSM/Semicond/>.
- [32] M. Imam et. al, "Design and Optimization of Double-RESURF High Voltage lateral Devices for a manufacturing Process," *IEEE Trans. on Electr. Dev.*, p. 1697, 2003.
- [33] A.W. Ludikhuize et. al, "A Review of RESURF Technology," *Proc. of ISPSD*, pp. 12–18, 2000.
- [34] Z. Parpia et. al, "Optimization of RESURF LDMOS Transistors: An Analytical Approach," *IEEE Trans. on Electr. Dev.*, vol. 37, No. 3, pp. 789–795, 1990.
- [35] J. M. Park, "Novel Power Devices for Smart Power Applications," 2004. <http://www.iue.tuwien.ac.at/phd/park/>.
- [36] H. Ballan, *High voltage Devices and Circuits in standard CMOS Technologies*. Kluwer Academic Publishers ISBN 0-7923-8234-X, 1999.
- [37] P. Moens et. al, "Hot Hole Degradation Effects in lateral nDMOS Transistors," *IEEE Trans. on Electr. Dev.*, vol. 51, No. 10, pp. 1704–1710, 2004.
- [38] C. Schlünder, "Device reliability challenges for modern semiconductor circuit design—a review," *Advances in Radio Science*, vol. 7, pp. 201–211, 2009.
- [39] M.A. Alam et al., "A comprehensive model for PMOS NBTI degradation: recent progress," *Microelectronics Reliability*, 2007.
- [40] A. P. O. Marti, "Vorlesungsskript Physikalische Elektronik und Messtechnik," 2005. http://wwwex.physik.uni-ulm.de/lehre/physikalischeelektronik/phys_elektr/node44.html.
- [41] D. M. Berroth, "Grundzüge der Vierpoltheorie," 2001. http://www.jfz.50g.com/_framed/50g/jfz/files/tds111-kapitel_4.pdf.
- [42] E. Gondro, *Hochfrequenz-Modellierung des MOS-Transistors*. Dissertation an der Bundeswehr Universität München, 2002.
- [43] Y. P. Tsividis, *Operation and Modelling of the MOS Transistor*. McGraw-Hill Book Company, 1987.
- [44] J. Lindmayer, "Power gain of transistors at high frequency," *Solid-St. Electron.*, vol. Bd. 43, pp. 1717–175, 1962.
- [45] C. P. J. Rogers, *Radio Frequency Integrated Circuit Design*. Artech House, 2003.

- [46] D. M. Pozar, *Microwave and RF Design of Wireless Systems*. John Wiley and Sons INC., 2000.
- [47] F. Merat, "Gain Expressions," 1988. <http://vorlon.case.edu/~flm/eecs397/Power%20Gain.pdf>.
- [48] G. Doudorov, *Evaluation of Si-LDMOS transistor for RF power amplifier in 2-6 GHz frequency range*. Department of Electrical Engineering Linköping University, Sweden: Reg nr: LiTH-ISY-EX-3435-2003, 2003.
- [49] H. Rücker, B. Heinemann, R. Barth, D. Knoll, P. Schley, R. Scholz, B. Tillack, W. Winkler, "High-frequency SiGe:C HBTs with elevated extrinsic base regions," *Materials Science in Semiconductor Processing*, vol. 8, pp. 279–282, 2004.
- [50] T. Giebel, *Grundlagen der CMOS-Technologie*. Teubner Verlag, 2002.
- [51] FSM, "Leakage Currents in Illuminated Junctions and Biased Transistors ," 2009. <http://www.frontiersemi.com/pdf/papers/RsLransist.pdf>.
- [52] P.M. Solomon et al., "Tunnel Current Measurements on P/N Junction Diodes and Implications for Future Device Design," *Proc. of IEEE IEDM*, pp. 9.3.1–9.3.4, 2003.
- [53] J.C. Mitros et. al, "High-Voltage Drain Extended MOS Transistor for 0.18- μ m Logic CMOS Process," *IEEE Trans. on Electr. Dev.*, vol. 48, no. 8, 2001.
- [54] K.E. Ehwald, A.Fischer, F.Fuernhammer, W.Winkler, B.Senapati, R.Barth, D.Bolze, B.Heinemann, "A two mask complementary LDMOS module integrated in a 0.25 μ m SiGe:C-BiCMOS Platform," *Proc. of ESSDERC*, pp. 121–124, 2004.
- [55] N.R. Mohapatra, H. Ruecker, K.E. Ehwald, R. Barth, P. Schley, D. Schmidt, H. E. Wulf, "The impact of Channel engineering on the performance and reliability of LDMOS transistors," *Proc. of IEEE ISPSD*, 2005.
- [56] H. Ryssel, J. Gözlich et al., "Anwendung und Weiterentwicklung der Ionenimplantation für hochintegrierte Schaltungen," *Forschungsbericht BMFT-FB-T 82-119*, p. 152, 1982.
- [57] A. Mai, H. Rücker, R. Sorge, D. Schmidt, C. Wipf, "Cost-Effective Integration of RF-LDMOS Transistors in 0.13 μ m CMOS Technology," *Proc. of IEEE SiRF*, pp. 124–128, 2009.
- [58] IHP, "IHP LDMOS 0.25 μ m." <http://www.ihp-ffo.de/12.0.html>.
- [59] A. Moscatelli et al., "A 12V complementary RF LDMOS technology developed on a 0.18 μ m CMOS platform ," *IEEE ISPSD*, pp. 37–40, 2004.

Abkürzungen und Symbole

Abkürzungen

BTBT	Band-To-Band-Tunneling „Band-zu-Band-Tunneln“
BiCMOS	Bipolar CMOS „CMOS-Technologie mit Bipolarmodul“
CMOS	Complementary-Metal-Oxid-Semiconductor „komplementärer Metal-Oxid-Halbleiter“
DC	Direct Current „Gleichstrom“
FET	Feldeffekttransistor
HF	Hochfrequenz
HV	Hochvolt
JFET	Junction Field Effect Transistor
KSE	Kleinsignalersatzschaltbild
LDMOS	Lateral-Drain-Extended MOS „MOS mit lateral erweitertem Drainanschluss“
LDD	Lightly Doped drain „schwach dotierter Drainanschluss“
HDD	heavily doped drain „stark dotierter Drainanschluss“
NBTI	Negative Bias Temperature Instability
MOSFET	Metal-Oxid-FET
PA	Power Amplifier „Leistungsverstärker“
RESURF	Reduced Surface Field
RLZ	Raumladungszone
SJ-MOSFET	Super-Junction-MOSFET
STI	Shallow Trench Isolation „Oxidverfüllte flache Gräben“

Symbole

BV_{DSS}	Durchbruchspannung zwischen Drain und kurzgeschlossenem Source-Substrat
C_{OX}	Gateoxid-Kapazität
C_{GS}	Gate-Source-Kapazität
C_{GD}	Gate-Drain-Kapazität
C_{dm}	Kapazität der verarmten Schicht im Substrat unter dem Gate
C_D	Konzentration der Dotanden im Halbleiter
E	elektrische Feldstärke
E_{Cr}	kritische elektrische Feldstärke
E_G	Bandlücke
f_T	Transitfrequenz
$f_{T,max}$	maximale Transitfrequenz
f_{max}	maximale Schwingfrequenz
f_{app}	Betriebsfrequenz einer Anwendung
G_P	Leistungsverstärkung
G_A	verfügbare Verstärkung
G_T	Transducer Gain
G_n, G_p	Generationsraten für Elektronen und Löcher
g_m	Gatespannungsabhängiger Leitwert, „gate transconductance“
h_{Poly}	Höhe des Gate-Polysiliziums
I_n, I_p	Elektronen- und Löcherstrom
I_{DS}	Drain-Source-Strom
I_D	Drain-Strom
I_{DL}	Drain-Leckstrom ($V_G = 0V$)
I_{SAT}	Drain-Sättigungsstrom
I_{SUB}	Substratstrom
J_n, J_p	Stromdichten für Elektronen und Löcher
L_G	gezeichnete Gatelänge
L_{eff}	effektive Gatelänge
L_D	Länge des Driftgebietes
L_{OL}	Überlappung von Gate und Driftgebiet
L_{SB}	nicht salizierter Bereich des Gates
L_{PN}	Abstand zwischen Wanne und Driftgebiet (Maskenkantenabstand)
$L_W, L_{W,n}, L_{W,p}$	Überlappung von Gate und Wannengebiet für N- und PLDMOS
MAG	maximal verfügbare Verstärkung
M_n, M_p	Multiplikationsfaktoren für Elektronen und Löcher bei Stoßionisation
m	Bodyfaktor
n, p	Elektronen- bzw. Löcherdichte
n_i	intrinsische Ladungsträgerdichte
N_C, N_V	effektive Zustandsdichten im Leitungs- bzw. Valenzband

N_A, N_A^-	Akzeptordichte, Dichte der ionisierten Akzeptoren
N_D, N_D^-	Donatordichte, Dichte der ionisierten Donatoren
P_{out}	Ausgangsleistung
P_{in}	Eingangsleistung
P_{avL}	verfügbare RF-Ausgangsleistung
P_{avS}	verfügbare RF-Eingangsleistung
Q_i	Inversionsladung
R_D	Driftwiderstand
R_G	Gatewiderstand
R_{ON}	Durchlasswiderstand, "on-resistance"
$R_P, \Delta R_P$	Eindringtiefe der Dotanden (und deren Standardabweichung) bei Ionenimplantation
T	Temperatur
T_{Gitter}	Temperatur des Kristallgitters
T_e	Temperatur des Elektronenensembles
V_B	Durchbruchspannung eines pn-Übergangs
V_{DS}	Drain-Source-Spannung
V_{DG}	Drain-Gate-Spannung
V_G	Gate-Source-Spannung
V_{DD}	Betriebsspannung
V_T	Schwellpannung
V_{fB}	Flachbandspannung
V_x	resultierende Drainspannung am Kanal im LDMOS
v_{sat}	Sättigungsgeschwindigkeit
W	Transistorweite
Z_{in}	Eingangsimpedanz am Zweitor
Z_{out}	Ausgangsimpedanz am Zweitor
Z_S	Impedanz der Quelle
Z_L	Impedanz der Last
α_n, α_p	Ionisationsraten für Elektronen und Löcher
ϵ_0	Dielektrizitätskonstante
ϵ_{Si}	spezifische Dielektrizitätskonstante für Silizium
μ_n, μ_p	Beweglichkeit der Elektrone bzw. Löcher
Φ	elektrostatistisches Potential
Φ_f	Fermipotential des dotierten Halbleiters
Φ_i	intrinsisches Fermipotential des Halbleiters
Φ_B	$ \Psi_f - \Psi_i $
ρ	Ladungsträgerdichte

Publikationen

A. Mai, H. Rücker, R. Sorge, D. Schmidt, C. Wipf

„*Cost-Effective Integration of RF-LDMOS Transistors in 0.13 μ m CMOS Technology*“ Proc. of IEEE SiRF, Seiten:124-128; 2009

A. Mai, H. Rücker, R. Sorge

„*Impact of the Drift Region Profile on Performance and Reliability of RF-LDMOS Transistors*“ Proc. of IEEE ISPSD; Seiten: 100-104; 2009

A. Mai, H. Rücker

„*Drain-Extended MOS Transistors Capable for Operation at 10 V and at Radio Frequencies*“ Proc. of IEEE ESSDERC; Seiten: 110-113; 2010

H. Rücker, B. Heinemann, **A. Mai**, B. Tillack,

„*A 0.13 μ m SiGe BiCMOS Technology for mm-wave applications*“ Proc. 16th International Conference Mixed Design of Integrated Circuits and Systems, IEEE, Lodz, June 25-27, 2009, p. 19-22 (invited talk)

H. Rücker, B. Heinemann, W. Winkler, R. Barth, J. Borngräber, J. Drews, G. Fischer, A. Fox, T. Grabolla, U. Haak, D. Knoll, F. Korndörfer, **A. Mai**, S. Marschmeyer, D. Schmidt, J. Schmidt, K. Schulz, B. Tillack, D. Wolansky, Y. Yamamoto

itshape „A 0.13 μ m SiGe BiCMOS Technology Featuring fT / fMAX of 240 / 330 GHz and Gate Delays Below 3 ps“

Proc. of IEEE BCTM 2009

H. Rücker, B. Heinemann, R. Barth, J. Bauer, K. Blum, D. Bolze, J. Drews, G. Fischer, A. Fox, O. Fursenko, T. Grabolla, U. Haak, W. Höppner, D. Knoll, K. Köpke, B. Kuck, **A. Mai**, S. Marschmeyer, T. Morgenstern, H.H. Richter, P. Schley, D. Schmidt, K. Schulz, B. Tillack, G. Weidner, W. Winkler, D. Wolansky, H.-E. Wulf and Y. Yamamoto

„*SiGe BiCMOS Technology with 3.0 ps Gate Delay*“

Proc. of IEEE IEDM 2007

Danksagung

Die vorliegende Arbeit entstand am Leibniz-Institut für innovative Mikroelektronik (IHP Frankfurt (Oder)). Mein erster Dank gilt daher dem gesamten Team der Technologieabteilung unter Leitung von Prof. Bernd Tillack.

Ganz besonders möchte ich mich bei Dr. rer. nat. habil. Holger Rücker bedanken, der mich während der gesamten Arbeit begleitete und mir durch zahlreiche Diskussion die Thematik der Bauelementeintegration und die zugrunde liegenden physikalischen Prinzipien vermittelte.

Mein weiterer Dank gebührt Dr. Roland Sorge für die vielen Hilfestellungen, die bei der Integration von LDMOS-Transistoren beachtet werden müssen, sowie Dr. A. Fischer für die Einführung in die Thematik der Bauelementesimulation. Des weiteren bedanke ich mich bei Dr. Dieter Knoll für die ehrlichen und offenen Diskussionen über die Struktur und die fachliche Darstellung der vorliegenden Arbeit.

Bei Detlef Schmidt, Christian Wipf, Dr. Peter Schley und Dr. Jens Schmidt möchte ich mich für die unzähligen Messungen bedanken, die diese Arbeit erst möglich machten.

Bei Dr. Bernd Heinemann, Rainer Barth, Andre Wolff, Karl-Ernst Ehwald, M. Sc. Mehmet Kaynak, und M.Sc. Stefan Lischke bedanke ich mich für viele Hilfestellungen und die Unterstützung, die zum Gelingen dieser Arbeit beigetragen haben. Ferner gilt dem gesamten Team der Abteilung Technologie, insbesondere K. Schulz, Dr. T. Grabolla, Dr. D. Bolze, Dr. D. Wolansky, Dr. A. Fox und Dr. U. Kindereit für die angenehme Arbeitsatmosphäre mein Dank.

Nicht zu vergessen ist die uneingeschränkte familiäre Unterstützung, die ich seit Jahren von meinen Eltern und Schwiegereltern erfahre. Dafür mein aller größter Dank!

Und zu guter Letzt möchte ich mich ganz besonders für die fortwährende Unterstützung, die Ermutigungen und für so vieles mehr bei meiner Familie bedanken. Ohne euch wäre das alles nicht möglich!

Danke kleine Lara und Danke Steffi!

